



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application of: **MIURA, Kzutaka**

Group Art Unit: **2812**

Serial No.: **10/604,866**

Examiner: **To Be Assigned**

Filed: **August 22, 2003**

Confirmation No.: **1865**

For. **METHOD OF MANUFACTURING A SEMICODNUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 29, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-253234, filed August 30, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP

William G. Kratz, Jr.
Attorney for Applicant
Reg. No. 22,631

WGK/xl
Atty. Docket No. **030983**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月30日

出 願 番 号
Application Number:

特願2002-253234

[ST.10/C]:

[JP2002-253234]

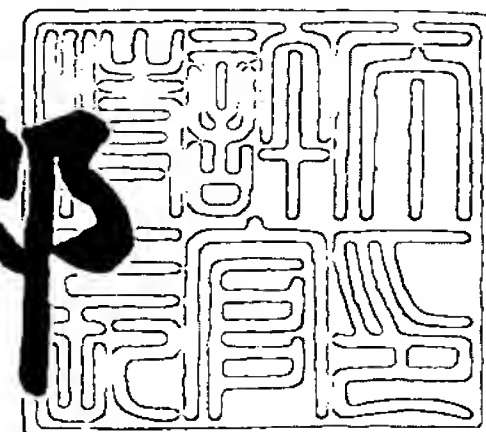
出 願 人
Applicant(s):

富士通株式会社

2002年12月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3096405

【書類名】 特許願

【整理番号】 0240853

【提出日】 平成14年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10
H01L 27/768

【発明の名称】 半導体装置の製造方法

【請求項の数】 6

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 三浦 一隆

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100091672

 【弁理士】

 【氏名又は名称】 岡本 啓三

 【電話番号】 03-3663-2663

【手数料の表示】

 【予納台帳番号】 013701

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上方に第 1 絶縁層を形成する工程と、
前記第 1 絶縁層上方に第 1 の導電層、酸化物誘電体層、第 2 の導電層を順に形成する工程と、
前記第 2 の導電層、前記酸化物誘電体層、前記第 1 の導電層をパターンニングすることにより、前記第 2 の導電層からなる上部電極、前記酸化物誘電体層からなる誘電体層、第 1 の導電層からなる下部電極を有するキャパシタを形成する工程と、
前記キャパシタ及び前記第 1 絶縁層の上方に第 2 絶縁層を形成する工程と、
前記第 2 絶縁層のうち前記上部電極の上にホールを形成する工程と、
前記半導体基板を加熱した状態で、活性化された酸素を前記ホールを通して前記キャパシタに供給する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記酸素は、紫外線とマイクロ波のいずれかが照射されて活性化されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記半導体基板の加熱は、前記紫外線と前記マイクロ波のいずれかだけでなくヒーターによっても行われることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記紫外線の照射によって活性化された酸素は、酸素ラジカルであることを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 5】 前記キャパシタに酸素を供給するときに、前記半導体基板を加熱する温度は 3 0 0 ～ 4 5 0 ℃ の範囲内であることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 前記酸素は、前記第 2 絶縁層の上方に不活性ガスとともに導入されることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、より詳しくは、キャパシタを有する半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

電源を切っても情報を記憶することができる不揮発性メモリとして、フラッシュメモリや強誘電体メモリ（F e R A M）が知られている。

【 0 0 0 3 】

フラッシュメモリは、絶縁ゲート型電界効果トランジスタ（I G F E T）のゲート絶縁層中に埋め込んだフローティングゲートを有し、記憶情報となる電荷をフローティングゲートに蓄積することによって情報を記憶する。情報の書込、消去にはゲート絶縁層にトンネル電流を流す必要があり、比較的高い電圧を必要とする。

【 0 0 0 4 】

F e R A Mは、強誘電体のヒステリシス特性を利用して情報を記憶する強誘電体キャパシタを有している。強誘電体キャパシタにおいて上部電極と下部電極の間に形成される強誘電体層は、上部電極及び下部電極の間に印加する電圧値に応じて分極を生じ、印加電圧を取り去っても分極を保持する自発分極を有する。印加電圧の極性を反転すれば、自発分極の極性も反転する。この自発分極の極性、大きさを検出すれば情報を読み出すことができる。

【 0 0 0 5 】

F e R A Mは、フラッシュメモリに比べて低電圧で動作し、省電力で高速の書込ができるという利点がある。

【 0 0 0 6 】

F e R A Mのメモリセルに採用される強誘電体キャパシタは、例えば、図 1 に示すような工程によって形成される。

【 0 0 0 7 】

まず、図 1 (a) に示すように、シリコン基板 1 0 1 を覆う第 1 層間絶縁層 1 0

2 上に第 1 金属層 1 0 3、強誘電体層 1 0 4、第 2 金属層 1 0 5 が形成される。
第 1 金属層 1 0 3 として例えばプラチナ層が形成され、強誘電体層 1 0 4 として P Z T のような酸化物誘電体が形成され、さらに、第 2 金属層 1 0 5 としてイリジウムや酸化イリジウムが形成される。

【 0 0 0 8 】

続いて、図 1 (b) に示すように、第 2 金属層 1 0 5 がパターンニングされてキャパシタ Q_0 の上部電極 1 0 5 a となり、続いて、強誘電体層 1 0 4 がパターンニングされてキャパシタ Q_0 の誘電体層 1 0 4 a となる。さらに、第 1 金属層 1 0 3 がパターンニングされてキャパシタ Q_0 の下部電極 1 0 3 a となる。

【 0 0 0 9 】

次に、図 1 (c) に示すように、酸化シリコンよりなる第 2 層間絶縁層 1 0 6 によってキャパシタ Q_0 が覆われる。続いて、第 2 層間絶縁層 1 0 6 をパターンニングすることにより、下部電極 1 0 3 a のコンタクト領域の上に第 1 コンタクトホールが形成され、さらに第 1 コンタクトホール内に導電プラグ 1 0 7 が埋め込まれる。ついで、第 2 層間絶縁層 1 0 6 のパターンニングにより上部電極 1 0 5 a の上に第 2 コンタクトホール 1 0 6 a が形成された後に、第 2 コンタクトホール 1 0 6 a を通して上部電極 1 0 5 a に接続される上部電極引出配線（不図示）と、導電プラグ 1 0 7 に接続される下部電極引出配線（不図示）とが第 2 層間絶縁層 1 0 6 上に形成される。

【 0 0 1 0 】

ところで、上部電極 1 0 5 a の上のコンタクトホール 1 0 6 a は、ドライエッチングを用いて形成されるために、そのドライエッチングによって強誘電体層 1 0 4 がダメージを受け、キャパシタ特性が劣化される。

【 0 0 1 1 】

また、上部電極 1 0 5 a としてイリジウムや酸化イリジウムといった金属を用いると、この金属と強誘電体層 1 0 4 の界面において、強誘電体層 1 0 4 を構成する P Z T の酸素が金属に吸収されてキャパシタの特性が悪くなり、とくに熱処理を伴う第 2 層間絶縁膜 1 0 6 の形成時には強誘電体層 1 0 4 内の酸素が上部電極 1 0 5 a に吸収されやすくなる。

【 0 0 1 2 】

そこで、コンタクトホール 1 0 6 a の形成後に、酸素雰囲気中にシリコン基板 1 0 1 を置き、基板温度を 5 5 0 °C 程度に設定することにより、酸素がコンタクトホール 1 0 6 a を通して強誘電体層 1 0 4 に供給され、キャパシタ Q_0 の特性が回復する。

【 0 0 1 3 】

【発明が解決しようとする課題】

ところで、上部電極引出電極の微細化に伴って上部電極 1 0 5 a 上のコンタクトホール 1 0 6 a もさらに小さくされる必要がある。

【 0 0 1 4 】

しかし、コンタクトホール 1 0 6 a が小さくなると、コンタクトホール 1 0 6 a を通してキャパシタ Q_0 に供給される酸素の量も少なくなり、コンタクトホール 1 0 6 a 形成のためのエッチングなどにより生じたキャパシタの酸素欠損を補えるほどの量の酸素が誘電体層 1 0 4 a に供給されなくなる。この結果、強誘電体層の質の改善が不十分になり強誘電体キャパシタの分極電荷量が低下し、メモリセルへの書込み、読出しに支障をきたす。

【 0 0 1 5 】

本発明の目的は、酸化物誘電体層を有するキャパシタの特性をさらに改善する工程を含む半導体装置の製造方法を提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

上記した課題は、半導体基板の上方に第 1 絶縁層を形成する工程と、前記第 1 絶縁層上方に第 1 の導電層、酸化物誘電体層、第 2 の導電層を順に形成する工程と、前記第 2 の導電層、前記酸化物誘電体層、前記第 1 の導電層をパターンニングすることにより、前記第 2 の導電層からなる上部電極、前記酸化物誘電体層からなる誘電体層、第 1 の導電層からなる下部電極を有するキャパシタを形成する工程と、前記キャパシタ及び前記第 1 絶縁層の上方に第 2 絶縁層を形成する工程と、前記第 2 絶縁層のうち前記上部電極の上にホールを形成する工程と、前記半導体基板を加熱した状態で、活性化された酸素を前記ホールを通して前記キャパシ

タに供給する工程とを有することを特徴とする半導体装置の製造方法により解決される。

【 0 0 1 7 】

本発明によれば、キャパシタを有する半導体基板を加熱しながら、活性化された酸素、例えば酸素ラジカルをキャパシタ上部電極上のホールを通してキャパシタに供給するようにしている。

【 0 0 1 8 】

これにより、キャパシタ上部電極上のホールを通して酸素がキャパシタ内に浸透しやすくなるので、キャパシタの酸化物誘電体層への十分な量の酸素供給が可能になり、ホールが小さくなっても酸素アニールによるキャパシタの特性の改善が図れる。

【 0 0 1 9 】

酸素を活性化する方法としては、例えば、酸素系ガスに紫外線を照射する方法と、酸素系ガスにマイクロ波を照射する方法がある。酸素系ガスは、 O_2 、 N_2O 、 NO_2 などのいずれかから選択される。

【 0 0 2 0 】

紫外線照射のために 225.0 nm と 187.5 nm に波長ピークを有する紫外線ランプを使用する場合には、 O_2 は波長 225.0 nm の紫外線によってオゾン (O_3) となり、そのオゾンは波長 187.5 nm の紫外線によって酸素ラジカルとなり、これによって酸素が酸化物誘電体層により結合しやすい状態となる。また、紫外線照射のためにエキシマUVランプを用いる場合には、波長 172.5 nm の紫外線によって O_2 は酸素ラジカルになる。

【 0 0 2 1 】

さらに、マイクロ波を酸素系ガスに照射する場合には、酸素は活性化されてキャパシタへの浸透性が高くなる。

【 0 0 2 2 】

【発明の実施の形態】

以下に本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態)

図 2 ～ 図 7 は本発明の第 1 実施形態の半導体装置の製造方法を工程順に示す断面図である。

【 0 0 2 3 】

図 2 (a) に示す断面構造を形成するまでの工程を説明する。

【 0 0 2 4 】

まず、n 型又は p 型のシリコン（半導体）基板 1 の活性領域（トランジスタ形成領域）の周囲に L O C O S（Local Oxidation of Silicon）法により素子分離絶縁層 2 を形成する。なお、素子分離絶縁層 2 として S T I（Shallow Trench Isolation）構造を採用してもよい。

【 0 0 2 5 】

続いて、シリコン基板 1 のメモリセル領域の活性領域に p 型不純物を導入して p ウェル 3 を形成する。さらに、シリコン基板 1 の活性領域表面を熱酸化して、ゲート絶縁層 4 となるシリコン酸化層を形成する。

【 0 0 2 6 】

次に、シリコン基板 1 の上側全面に非晶質又は多結晶のドープトシリコン層とシリサイド層を順に形成し、これらのシリコン層及びシリサイド層をフォトリソグラフィ法によりパターンニングして、ゲート電極 5 a，5 b を形成する。なお、シリサイド層としてタングステンシリサイド、コバルトシリサイドなどの層がある。

【 0 0 2 7 】

メモリセル領域における各 p ウェル 3 上には 2 つのゲート電極 5 a，5 b が間隔をおいてほぼ平行に配置され、それらのゲート電極 5 a，5 b はワード線の一部を構成している。

【 0 0 2 8 】

その後に、p ウェル 3 のうちゲート電極 5 a，5 b の両側に n 型不純物をイオン注入して、n チャネル MOS トランジスタのソース／ドレインとなる n 型不純物拡散領域 6 a，6 b，6 c を形成する。

【 0 0 2 9 】

続いて、シリコン基板 1 の全面に絶縁層を形成した後、その絶縁層をエッチバ

ックしてゲート電極 5 a, 5 b の両側部分にのみ側壁絶縁層 7 として残す。その絶縁層として、例えば C V D 法により酸化シリコン (SiO_2) を形成する。

【 0 0 3 0 】

さらに、ゲート電極 5 a, 5 b と側壁絶縁層 7 をマスクに使用して、p ウェル 3 内に再び n 型不純物イオンを注入することにより n 型不純物拡散領域 6 a ~ 6 c を L D D 構造にする。

【 0 0 3 1 】

以上のように、メモリセル領域では、一方のゲート電極 5 a、n 型不純物拡散領域 6 a, 6 b 等によって第 1 の M O S トランジスタが構成され、また、他方のゲート電極 5 b、n 型不純物拡散領域 6 b, 6 c 等によって第 2 の M O S トランジスタが構成される。

【 0 0 3 2 】

次に、全面に高融点金属層を形成した後に、この高融点金属層を加熱して p 型不純物拡散領域 6 a ~ 6 c の表面にそれぞれ高融点金属シリサイド層 8 a ~ 8 c を形成する。その後、ウェットエッチングにより未反応の高融点金属層を除去する。高融点金属としてコバルト、タンタルなどがある。

【 0 0 3 3 】

その後に、プラズマ C V D 法により、シリコン基板 1 の全面に酸化防止絶縁層 9 として酸化窒化シリコン (SiON) 層を約 2 0 0 n m の厚さに形成する。さらに、T E O S ガスを用いるプラズマ C V D 法により、酸化防止絶縁層 9 上に第 1 層間絶縁層 1 0 として二酸化シリコン (SiO_2) を約 6 0 0 n m の厚さに成長する。

【 0 0 3 4 】

さらに、第 1 層間絶縁層 1 0 を化学的機械研磨 (C M P) 法により薄くしてその表面を平坦化する。第 1 層間絶縁層 1 0 の研磨量は、素子分離絶縁層 2 の上に約 7 8 5 n m 残るようにする。

【 0 0 3 5 】

次に、図 2 (b) に示すように、第 1 層間絶縁層 1 0 の上にルチル型結晶構造の酸化チタン層 1 1 を形成する。酸化チタン層 1 1 は、第 1 層間絶縁層 1 0 上にチタン層をスパッタ法により約 2 0 n m の厚さに形成した後に、チタン層を熱酸化

することにより形成される。そのチタン層の熱酸化は、R T A (rapid thermal annealing) 装置を用いて、例えば、酸素雰囲気中で基板温度 7 0 0 °C、6 0 秒間の条件で行う。これにより酸化されたチタン層は、厚さ約 5 0 n m の酸化チタン層 1 1 となり、その上面には (2 0 0) 面が表れる。

【 0 0 3 6 】

次に、図 2 (c) に示す構造を形成するまでの工程を説明する。

【 0 0 3 7 】

まず、スパッタ法によって、酸化チタン層 1 1 の上に、第 1 の導電層 1 2 としてプラチナ (Pt) 層を形成する。Pt 層の厚さを 1 0 0 ~ 3 0 0 n m 程度、例えば 1 5 0 n m とする。ここで、酸化チタン層 1 1 は、第 1 の導電層 1 2 と第 1 の層間絶縁層 1 0 との密着性を改善する役割を果たす。なお、酸化チタン層 1 1 と第 1 の導電層 1 2 の代わりにチタン層とプラチナ層を形成してもよい。

【 0 0 3 8 】

第 1 の導電層 1 2 としては、プラチナに限られるものでなく、イリジウム、ルテニウム等の貴金属層、又は、酸化ルテニウム、酸化ルテニウムストロンチウム (SrRuO_3) 等の貴金属酸化層であってもよい。

【 0 0 3 9 】

次に、スパッタリング法により、強誘電体層 1 3 として P L Z T (lead lanthanum zirconate titanate; $(\text{Pb}_{1-3x/2}\text{La}_x)(\text{Zr}_{1-y}\text{Ti}_y)\text{O}_3$) を第 1 の導電層 1 2 の上に 1 0 0 ~ 3 0 0 n m の厚さ、例えば 1 8 0 n m に形成する。

【 0 0 4 0 】

なお、強誘電体層 1 3 の形成方法は、その他に、スピンオン法、MOD (metal organic deposition) 法、MOCVD (有機金属 CVD) 法、ソル・ゲル法などがある。また、強誘電体層 1 3 の材料としては、P L Z T の他に、P L C S Z T、P Z T のような他の P Z T 系材料や、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{SrBi}_2(\text{Ta},\text{Nb})_2\text{O}_9$ 等の Bi 層状構造化合物材料、その他の金属酸化物強誘電体であってもよい。

【 0 0 4 1 】

続いて、強誘電体層 1 3 を構成する P L Z T 層を酸素含有雰囲気中で R T A (Rapid Thermal Annealing) により結晶化する。R T A の条件は、例えば、5 8 5

℃、90秒間、昇温速度125℃/secである。なお、酸素含有雰囲気中には酸素とアルゴンが導入され、酸素濃度は例えば2.5%である。

【0042】

続いて、強誘電体層13の上に第2の導電層14としてイリジウム(Ir)と酸化イリジウム(IrO_x)層をスパッタ法により順に形成して総厚を100~300nmの厚さ、例えば150nmの厚さとする。なお、第2の導電層14として、プラチナ層、酸化ルテニウムストロンチウム(SRO)層、その他の金属層をスパッタ法により形成してもよい。

【0043】

その後に、RTAにより強誘電体層13の結晶性を酸素含有雰囲気中で改善する。RTAの条件は、例えば、725℃、20秒間、昇温速度125℃/secである。なお、酸素含有雰囲気中には酸素とアルゴンが導入され、酸素濃度は例えば1.0%である。

【0044】

次に、図3(a)に示す構造を形成するまでの工程を説明する。

【0045】

まず、レジストパターン(不図示)を用いてフォトリソグラフィ法により第2の導電層14をパターニングすることによって第1、第3のn型不純物拡散領域6a、6cの近傍の素子分離絶縁層2の上方にキャパシタQの上部電極14aを形成する。なお、第1のn型不純物拡散領域6aの近傍のキャパシタQは、第3のn型不純物拡散領域6cの近傍のキャパシタQと同じ構成となるので図において省略されている。

【0046】

レジストパターンの除去後に、温度650℃、60分間の条件で、強誘電体層13を酸素雰囲気中でアニールする。このアニールは、スパッタリング及びエッチングの際に入ったダメージから強誘電体層12の質を回復させるために行われる。

【0047】

続いて、メモリセル領域において、上部電極14a及びその周辺にレジストパ

ターン（不図示）を形成した状態で強誘電体層 1 3 をエッチングし、これにより残った強誘電体層 1 3 をキャパシタ Q の誘電体層 1 3 a とする。その後に、レジストパターンは除去される。

【 0 0 4 8 】

次に、図 3 (b) に示すように、上部電極 1 4 a、誘電体層 1 3 a 及び第 1 の導電層 1 2 の上に、エンキャップ層 1 5 として、P Z T 層をスパッタリング法により約 2 0 n m の厚さに形成する。エンキャップ層 1 5 は、還元され易い誘電体層 1 3 a を水素から防御する機能を有し、水素が誘電体層 1 3 a 内部に入ることをブロックするために水素をトラップし易い P Z T から形成される。エンキャップ層 1 5 は、キャパシタ保護絶縁層であり、アルミナ層、酸化チタン層、その他、水素をトラップ又はブロックし易い層であってもよい。

【 0 0 4 9 】

その後に、酸素雰囲気中で、7 0 0 °C、6 0 秒間、昇温速度 1 2 5 °C / sec の条件で、エンキャップ層 1 5 を急速熱処理する。

【 0 0 5 0 】

さらに、エンキャップ層 1 5 の上にレジスト 1 6 を塗布し、これを露光、現像して上部電極 1 4 a 及び誘電体層 1 3 a の下の領域を含む下部電極形成領域に残す。

【 0 0 5 1 】

次に、図 4 (a) に示すように、レジスト 1 6 をマスクに使用して、エンキャップ層 1 5、第 1 の導電層 1 2 及び酸化チタン層 1 1 をエッチングし、これにより上部電極 1 4 a の下方に残された第 1 の導電層 1 2 をキャパシタの下部電極 1 2 a として使用する。

【 0 0 5 2 】

そのレジスト 1 6 を除去した後には、図 4 (b) に示すように、下部電極 1 2 a、誘電体層 1 3 a、上部電極 1 4 a からなるキャパシタ Q が第 1 の層間絶縁層 1 0 の上に現れる。

【 0 0 5 3 】

この後に、エッチングにより受けたダメージから誘電体層 1 3 a を元の状態に

回復させるために、例えば、酸素雰囲気中で温度 6 5 0℃、6 0 分間の条件でキャパシタ Q をアニールする。

【 0 0 5 4 】

次に、図 5 (a) に示すように、エンキャップ層 1 5、キャパシタ Q 及び第 1 層間絶縁層 1 0 の上に、第 2 層間絶縁層 1 7 として厚さ 1 5 0 0 n m 程度の SiO_2 層を形成する。第 2 層間絶縁層 1 7 の成長は、例えばシラン (SiH_4) を用いて C V D 法により形成されてもよいし、T E O S を用いてプラズマ C V D 法により形成されてもよい。第 2 層間絶縁層 1 7 を成長する際の基板温度は 3 0 0 ~ 4 5 0℃程度である。

【 0 0 5 5 】

続いて、第 2 層間絶縁層 1 7 の上面を C M P 法により平坦化する。

【 0 0 5 6 】

次に、図 5 (b) に示すように、第 2 層間絶縁層 1 7、エンキャップ層 1 5、第 1 層間絶縁層 1 0 及び酸化防止絶縁層 9 をフォトリソグラフィ法によりパターニングして n 型不純物拡散層 6 a ~ 6 c の上と下部電極 1 2 a のコンタクト領域の上にそれぞれ第 1 ~ 第 4 のコンタクトホール 1 7 a ~ 1 7 d を形成する。第 1 及び第 2 層間絶縁層 1 0、1 7 等は、CF 系ガス、例えば CF_4 に Ar を加えた混合ガスを用いてエッチングされる。

【 0 0 5 7 】

次に、第 2 層間絶縁層 1 7 の上とコンタクトホール 1 7 a ~ 1 7 d の内面にスパッタリング法によりチタン (Ti) 層を 2 0 n m、窒化チタン (TiN) 層を 5 0 n m の厚さに形成し、これらの層を導電性の密着層とする。さらに、フッ化タングステンガス (WF_6)、アルゴン、水素の混合ガスを使用する C V D 法により、密着層の上にタングステン層を形成する。なお、タングステン層の成長初期にはシラン (SiH_4) ガスも使用する。タングステン層は、各コンタクトホール 1 7 a ~ 1 7 d を完全に埋め込む厚さとする。

【 0 0 5 8 】

その後に、図 6 (a) に示すように、第 2 層間絶縁層 1 7 上のタングステン層と密着層を C M P 法により除去し、各コンタクトホール 1 7 a ~ 1 7 d 内にのみ残

す。これにより、第1～第4のコンタクトホール17a～17d内のそれぞれに残されたタングステン層と密着層を第1～第4の導電プラグ18a～18dとして使用する。

【0059】

なお、各pウェル3において、2つのゲート電極5a、5bに挟まれるn型不純物拡散領域6b上の第2の導電プラグ18bはその上方に形成されるビット線に電氣的に接続され、さらに、第2の導電プラグ18bの両側方の第1、第3の導電プラグ18a、18cは、それぞれ後述する配線を介してキャパシタQの上部電極14aに電氣的に接続される。

【0060】

その後に、図6(b)に示すように、第2層間絶縁層17と導電プラグ18a～18dの上に、プラズマCVD法によりSiON層を例えば約100nmの厚さに形成する。このSiON層は、シラン(SiH_4)と N_2O の混合ガスを用いて形成され、プラグ18a～18dの酸化を防止するための酸化防止層19として使用される。

【0061】

さらに、フォトリソグラフィ法により酸化防止層19と第2層間絶縁層17とエンキャップ層15をパターニングして、キャパシタQの上部電極13a上に一辺が0.35～0.50 μm の略四角の平面形状の第5のコンタクトホール17eを形成する。

【0062】

次に、図8に示すRTA装置内にシリコン基板1を入れる。RTA装置は、シリコン基板1を入れるチャンバ21と、チャンバ21内でシリコン基板1を載置するサセプタ22と、サセプタ22の下でシリコン基板1を加熱するヒータ（加熱器）23と、サセプタ22の上方に配置された複数の赤外線ランプ24と、複数の赤外線ランプ24の隙間に配置されたUVランプ25と、チャンバ21に設けられたガス導入口26、排気口27とを有している。UV（紫外線）ランプ25として、波長225.0nmと波長187.5nmでピークが存在するものがある。

【0063】

チャンバ 2 1 内において、サセプタ 2 2 上にシリコン基板 1 を載置し、ガス導入口 2 6 を通して酸素 (O_2) を 1. 0 リットル/分、窒素 (N_2) を 9. 0 リットル/分の流量で導入し、さらにチャンバ 2 1 内の圧力を大気圧とする。また、シリコン基板 1 をヒータ 2 3 と赤外線ランプ 2 4 と UV ランプ 2 5 により 3 0 0 ~ 4 5 0 °C、例えば 3 5 0 °C に加熱する。この場合、UV ランプ 2 4 からの紫外線は第 2 層間絶縁層 1 7 及びコンタクトホール 1 7 e に向けて照射される。なお、窒素の代わりに、アルゴン、その他の不活性ガスを導入してもよい。

【 0 0 6 4 】

これにより、第 2 層間絶縁層 1 7 及びコンタクトホール 1 7 e の表面では、 O_2 は波長 2 2 5. 0 nm の紫外線によってオゾン (O_3) に変えられ、さらに、 O_3 は波長 1 8 7. 5 nm の紫外線により活性酸素ラジカル (O^*) に変えられる。活性酸素は、コンタクトホール 1 7 e が小さくても上部電極 1 4 a を通して誘電体層 1 3 a に浸透し易い。この結果、誘電体層 1 3 a には十分に酸素が供給されることになる。

【 0 0 6 5 】

なお、UV ランプ 2 4 としてエキシマ UV ランプを使用してもよい。エキシマ UV ランプからは、波長 1 7 2. 5 nm の紫外線が第 2 層間絶縁膜 1 7 及びコンタクトホール 1 7 e に照射され、その紫外線により照射された O_2 は活性酸素に変わる。

【 0 0 6 6 】

このような紫外線を酸素に照射する条件で、図 7 (a) に示すように、コンタクトホール 1 7 e を通してキャパシタ Q を例えば 3 0 分間で酸素アニールして、誘電体層 1 3 a の質を改善する。この場合、導電プラグ 1 8 a ~ 1 8 d は酸化防止層 1 9 によって酸化が防止される。ただし、そのようなアニール条件では、従来よりも温度が低いので、酸化防止層 1 9 を透過する導電プラグ 1 8 a ~ 1 8 d の酸化が従来よりも進みにくいので酸化防止層 1 9 を 1 0 0 nm より薄くしてもよい。

【 0 0 6 7 】

その後に、CF 系のガスを用いて酸化防止層 1 9 をエッチバックする。

【 0 0 6 8 】

次に、第2層間絶縁層17、導電プラグ18a～18dの上と、上部電極14a上のコンタクトホール17eの中に導電層をスパッタ法により形成する。導電層として、例えば、窒化チタン層、銅含有アルミニウム層、チタン層、窒化チタン層を順に形成した多層金属構造が採用される。銅含有アルミニウム層での銅の含有量は例えば0.5 atoms%である。

【 0 0 6 9 】

続いて、図7(b)に示すように、導電層をフォトリソグラフィ法によりパターンニングすることにより、コンタクトホール17eを通してキャパシタQの上部電極14aと第3の導電プラグ18cを電氣的に接続する配線20cが第2層間絶縁層17上に形成される。これと同時に、pウェル3の上の2つのゲート電極5a, 5bの間にある第2の導電プラグ18bの上には導電パッド20bが形成される。また、キャパシタQの下部電極12a上の導電プラグ18dの上には、別の配線20dが形成されている。さらに、第1の導電プラグ18aの上には、図示しない別のキャパシタの上部電極に接続されるさらに別の配線20aが形成される。

【 0 0 7 0 】

この後に、第3層間絶縁層、二層目の導電プラグ、ビット線、カバー層などを形成するが、その詳細は省略する。

【 0 0 7 1 】

上記した実施形態によれば、キャパシタQを覆う第2層間絶縁層17のうち上部電極14aの上にコンタクトホール17eを形成した後に、コンタクトホール17eを通してキャパシタQに酸素を供給する際に紫外線をコンタクトホール17e及び第2層間絶縁膜17に向けて照射するようにしている。

【 0 0 7 2 】

これにより、第2層間絶縁層17の表面での酸素が活性化して、コンタクトホール17eを通したキャパシタQへの酸素の供給が促進され、強誘電体層13aに十分な量で酸素が導入される。従って、コンタクトホール17eを形成する場合などに受けたダメージからキャパシタQの誘電体層13aの質が回復され、キ

ャパシタQの特性が改善される。

【 0 0 7 3 】

ところで、上部電極14aの上にコンタクトホール17eを通してキャパシタQに酸素を供給する際に、図9に示すようなマイクロ波キュア装置を用いてもよい。図9のマイクロ波キュア装置は、シリコン基板1を入れる真空チャンバ31と、真空チャンバ31内でシリコン基板1を支持するサセプタ32と、シリコン基板1を下から加熱するヒータ（加熱器）33と、シリコン基板1の上方に配置され且つマイクロ波電源に接続される導電性コイル34と、真空チャンバ31に設けられたガス導入口35、排気口36とを有している。

【 0 0 7 4 】

チャンバ31内において、サセプタ32上にシリコン基板1を載置し、ガス導入口35を通して酸素(O_2)を1.0リットル/分、窒素(N_2)を9.0リットル/分の流量で導入し、内部を減圧して1Pa程度の圧力とする。さらに、導電性コイル34からマイクロ波を第2層間絶縁層17に向けて照射するとともに、シリコン基板1をヒータ33とマイクロ波により300~450℃、例えば350℃に加熱する。

【 0 0 7 5 】

これにより、第2層間絶縁層17の表面では、 O_2 が酸素ラジカルに変わらないが、 O_2 はマイクロ波によって活性化する。これにより、キャパシタQの上部電極14a上のコンタクトホール17eが小さくても、コンタクトホール17eを通して誘電体層13aへ酸素が浸透しやすくなり十分に酸素が供給されることになる。

【 0 0 7 6 】

このような条件でコンタクトホール17eを通して例えば30分間、キャパシタQを酸素アニールすることにより、誘電体層12aの質が改善される。

【 0 0 7 7 】

次に、 $50\mu m \times 50\mu m$ の平面形状の上部電極14aを有するキャパシタQを形成し、キャパシタQの上に第2層間絶縁層17を形成し、さらに、上部電極14aの上に約 $0.5\mu m \times 0.5\mu m$ の平面形状のコンタクトホール17eを

形成した後に、上部電極 1 4 a に対する酸素アニールの条件を変えることによりキャパシタ Q の分極電荷量 Q_{sw} がどのように相違するかを調査したところ、図 1 0 に示すような結果が得られた。

【 0 0 7 8 】

図 1 0 において、「r e f」は、従来技術による酸素アニールを示し、大気圧の酸素雰囲気中で 5 5 0 °C で 6 0 分間の条件でコンタクトホール 1 7 e を通してキャパシタ Q をアニールした結果を示している。また、図 1 0 において、「U V」は、大気圧中で酸素 1. 0 リットル／分、窒素 9. 0 リットル／分の流量でそれぞれ導入されたチャンバ 2 1 内でエキシマ U V ランプからの波長 1 7 2. 5 n m の紫外線を第 2 層間絶縁層 1 7 及びコンタクトホール 1 7 e に向けて照射し、基板加熱温度を 3 5 0 °C とした条件でキャパシタ Q を酸素アニールした結果を示している。さらに、図 1 0 において、「 μ 」は、酸素 1. 0 リットル／分、窒素 9. 0 リットル／分の流量でそれぞれ導入された圧力 1 P a のチャンバ 3 1 内でマイクロ波を第 2 層間絶縁層 1 7 及びコンタクトホール 1 7 e に向けて照射し、基板加熱温度を 3 5 0 °C とした条件でキャパシタ Q を酸素アニールした結果を示している。

【 0 0 7 9 】

図 1 0 によれば、酸素に紫外線又はマイクロ波を照射することによりキャパシタの分極電荷量は、従来条件で酸素アニールされたキャパシタの分極電荷量に比べて高くなっている。それらの条件のうち、酸素に U V を照射する条件の酸素アニールがキャパシタ特性を向上するのに最も効果がある。

【 0 0 8 0 】

図 1 0 によれば、本実施形態の酸素アニールによる分極電荷量の効果と従来技術の酸素アニールによる分極電荷量の効果の差は僅かのようにも読める。

【 0 0 8 1 】

しかし、図 1 0 の実験に使用したキャパシタ Q の大きさに対するコンタクトホール 1 7 e の大きさの割合が実デバイスに比べて極めて小さいので、実デバイスでのキャパシタ特性改善の効果としては大きいといえる。

【 0 0 8 2 】

なお、上記した実施形態において、酸素アニールの際に紫外線又はマイクロ波を酸素に照射することを、他の酸素アニール工程で採用してもよい。但し、強誘電体層 1 3 の結晶化アニールは、紫外線又はマイクロ波の照射を採用せずに、従来の条件で行われる。

【 0 0 8 3 】

ところで、上記した実施形態では、下部電極 1 2 a と第 2 層間絶縁層 1 7 上の配線 2 0 d との電氣的接続のために、コンタクトホール 1 7 d 内に導電プラグ 1 8 d が形成されている。しかし、その導電プラグ 1 8 d を用いずに、配線 2 0 d をコンタクトホール 1 7 d を通して直に下部電極 1 2 a に接続してもよい。この場合には、上部電極 1 4 a 上のコンタクトホール 1 7 e と下部電極 1 2 a 上のコンタクトホール 1 7 d は同時に開口され、それらのコンタクトホール 1 7 d, 1 7 e を通して酸素ラジカル又は活性化酸素がキャパシタ Q に供給される。

【 0 0 8 4 】

なお、酸素アニールの際に、 O_2 とともに又は O_2 の代わりに、 N_2O と NO_2 のいずれかを用いてもよい。

(第 2 の実施の形態)

本実施形態では、スタック型のキャパシタを有するメモリセルの形成工程について説明する。

【 0 0 8 5 】

図 1 1、図 1 2 は、本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図である。

【 0 0 8 6 】

次に、図 1 1 (a) に示す断面構造を形成するまでの工程を説明する。

【 0 0 8 7 】

まず、n 型又は p 型のシリコン（半導体）基板 4 1 のトランジスタ形成領域の周囲にフォトリソグラフィー法により素子分離用溝を形成した後に、その中に酸化シリコン (SiO_2) を埋め込んで素子分離絶縁層 4 2 を形成する。そのような構造の素子分離絶縁層 4 2 は、STI (Shallow Trench Isolation) と呼ばれる。なお、LOCOS (Local Oxidation of Silicon) 法により形成した絶縁層を素子分

離絶縁層として採用してもよい。

【 0 0 8 8 】

続いて、メモリセル領域におけるシリコン基板 4 1 のトランジスタ形成領域に p 型不純物を選択的に導入して p 型ウェル 4 1 a を形成する。

【 0 0 8 9 】

さらに、シリコン基板 1 の p 型ウェル 4 1 a の表面を熱酸化して、ゲート絶縁層 4 3 となるシリコン酸化層を形成する。

【 0 0 9 0 】

次に、シリコン基板 4 1 の上側全面に非晶質又は多結晶のシリコン層とタングステンシリサイド層を順次形成する。その後に、シリコン層とタングステンシリサイド層をフォトリソグラフィ法によりパターニングして、メモリセル領域のウェル 4 1 a 上にゲート電極 4 4 a, 4 4 b を形成する。それらのゲート電極 4 4 a, 4 4 b はゲート絶縁層 4 3 を介してシリコン基板 4 1 の上に形成される。

【 0 0 9 1 】

なお、メモリセル領域では、1 つの p 型ウェル 4 1 a 上には 2 つのゲート電極 4 4 a, 4 4 b が並列に形成され、それらのゲート電極 4 4 a, 4 4 b はワード線の一部を構成する。

【 0 0 9 2 】

次に、p 型ウェル 1 a のうちゲート電極 4 4 a, 4 4 b の両側に n 型不純物、例えばリンをイオン注入してソース／ドレインとなる第 1 ～第 3 の n 型不純物拡散領域 4 5 a ～4 5 c を形成する。

【 0 0 9 3 】

さらに、CVD 法により絶縁層、例えば酸化シリコン (SiO_2) 層をシリコン基板 1 の全面に形成した後に、その絶縁層をエッチバックしてゲート電極 4 4 a, 4 4 b の両側部分に絶縁性のサイドウォールスペーサ 4 6 として残す。

【 0 0 9 4 】

続いて、p 型ウェル 4 1 a において、ゲート電極 4 4 a, 4 4 b とサイドウォールスペーサ 4 6 をマスクに使用して、第 1 ～第 3 の n 型不純物拡散領域 4 5 a ～4 5 c に再び n 型不純物をイオン注入することにより、第 1 ～第 3 の n 型不純

物拡散領域 4 5 a ~ 4 5 c にそれぞれ不純物高濃度領域を形成する。

【 0 0 9 5 】

なお、1つのp型ウェル 4 1 a において、2つのゲート電極 4 4 a , 4 4 b の間の第2のn型不純物拡散領域 4 5 b は後述するビット線に電氣的に接続され、ウェル 4 1 a の両端側寄りの第1、第3のn型不純物拡散領域 4 5 a , 4 5 c は後述するキャパシタの下部電極に電氣的に接続される。

【 0 0 9 6 】

以上の工程により、p型のウェル 4 1 a にはゲート電極 4 4 a , 4 4 b と L D 構造のn型不純物拡散領域 4 5 a ~ 4 5 c を有する2つのn型のMOSトランジスタ T_1 , T_2 が1つのn型不純物拡散領域 4 5 a を共通にして形成される。

【 0 0 9 7 】

次に、MOSトランジスタ T_1 , T_2 を覆う酸化防止絶縁層 4 7 として約 2 0 0 n m の厚さの酸化シリコン (SiON) 層をプラズマ C V D 法によりシリコン基板 4 1 の全面に形成する。その後、TEOSガスをを用いるプラズマ C V D 法により、厚さ 1 . 0 μ m 程度の酸化シリコン (SiO₂) を第1層間絶縁層 4 8 として酸化防止絶縁層 4 7 の上に形成する。

【 0 0 9 8 】

続いて、例えば常圧の窒素雰囲気中で第1層間絶縁層 4 8 を 7 0 0 °C の温度で 3 0 分間加熱し、これにより第1層間絶縁層 4 8 を緻密化する。その後に、第1層間絶縁層 4 8 の上面を化学機械研磨 (CMP) 法により平坦化する。

【 0 0 9 9 】

さらに、レジストパターン (不図示) を用いて第1層間絶縁層 4 8 と酸化防止絶縁層 7 をエッチングすることにより、メモリセル領域の第1、第3のn型不純物拡散領域 4 5 a , 4 5 c の上にそれぞれ第1、第2のコンタクトホール 4 8 a , 4 8 c を形成する。

【 0 1 0 0 】

次に、第1層間絶縁層 4 8 上面と第1、第2のコンタクトホール 4 8 a , 4 8 c 内面に、グルー層として厚さ 2 0 n m のチタン (Ti) 層と厚さ 5 0 n m の窒化チタン (TiN) 層をスパッタ法により順に形成する。さらに、WF₆ を用いる C V

D法によって、タングステン（W）層をグルー層上に成長してコンタクトホール 4 8 a, 4 8 c 内を完全に埋め込む。

【 0 1 0 1 】

続いて、タングステン層とグルー層をCMP法により研磨して第1層間絶縁層 4 8 の上面上から除去する。これにより、第1、第2のコンタクトホール 4 8 a, 4 8 c 内にそれぞれ残されたタングステン層及びグルー層は、第1、第2の導電プラグ 5 0 a, 5 0 c として使用される。第1、第2の導電プラグ 5 0 a, 5 0 c は、それぞれ第1、第3のn型不純物拡散領域 4 5 a, 4 5 c に接続される。また、第1及び第2の導電プラグ 5 0 a, 5 0 c はそれぞれ後述するキャパシタに接続される。

【 0 1 0 2 】

次に、第1及び第2の導電プラグ 5 0 a, 5 0 c と第1層間絶縁層 4 8 の上に第1導電層 5 4 を形成する。第1導電層 5 4 として、例えば厚さ 2 0 0 nm のイリジウム（Ir）層、厚さ 3 0 nm の酸化イリジウム（IrO₂）層、厚さ 3 0 nm の酸化プラチナ（PtO）層、及び厚さ 5 0 nm のプラチナ（Pt）層をスパッタにより順に形成する。

【 0 1 0 3 】

なお、第1導電層 5 4 を形成する前又は後に例えば膜剥がれ防止のために第1層間絶縁層 4 8 をアニールする。アニール方法として、例えば、アルゴン雰囲気中で 7 5 0 °C、6 0 秒のRTA (rapid thermal annealing) を採用する。

【 0 1 0 4 】

続いて、第1導電層 5 4 上に、強誘電体層 5 5 として例えば厚さ 2 0 0 nm のPZT層をスパッタ法により形成する。強誘電体層 5 5 の形成方法は、その他に、MOD (metal organic deposition) 法、MOCVD (有機金属CVD) 法、ゾル・ゲル法などがある。また、強誘電体層 1 5 の材料としては、PZT以外に、PLCSZT、PLZTのような他のPZT系材料や、SrBi₂Ta₂O₉、SrBi₂(Ta,Nb)₂O₉ 等のBi層状構造化合物材料、その他の金属酸化物強誘電体を採用してもよい。

【 0 1 0 5 】

続いて、酸素含有雰囲気中で強誘電体層 5 5 をアニールにより結晶化する。そのアニールとして、例えばアルゴン (Ar) と酸素 (O_2) の混合ガス雰囲気中で基板温度 6 0 0 °C、時間 9 0 秒の条件を第 1 ステップ、酸素雰囲気中で基板温度 7 5 0 °C、時間 6 0 秒の条件を第 2 ステップとする 2 ステップの R T A 処理を採用する。

【 0 1 0 6 】

さらに、強誘電体層 5 5 の上に、第 2 導電層 5 6 として例えば厚さ 2 0 0 n m の酸化イリジウム (IrO_2) をスパッタ法により形成する。

【 0 1 0 7 】

次に、キャパシタ形成領域を覆うハードマスク (不図示) を第 2 導電層 5 6 上に形成する。

【 0 1 0 8 】

続いて、ハードマスクに覆われない領域の第 2 導電層 5 6、強誘電体層 5 5、第 1 導電層 5 4 を順次エッチングすることにより、第 1 層間絶縁膜 4 8 の上にキャパシタ Q_1 を形成する。この場合、第 2 導電層 5 6、強誘電体層 5 5 及び第 1 導電層 5 4 は、ハロゲン元素を含む雰囲気中でスパッタ反応によりエッチングされる。

【 0 1 0 9 】

キャパシタ Q_1 は、図 1 1 (b) に示すように、第 1 導電層 5 4 よりなる下部電極 5 4 a と、強誘電体層 5 5 よりなる誘電体層 5 5 a と、第 2 導電層 5 6 よりなる上部電極 5 6 a から構成される。

【 0 1 1 0 】

1 つのウェル 4 1 a の上方には 2 つのキャパシタ Q_1 が形成され、それらの下部電極 5 4 a はそれぞれ第 1 又は第 2 の導電プラグ 5 0 a, 5 0 c を介して第 1 又は第 3 の n 型不純物拡散領域 4 5 a, 4 5 c に電氣的に接続される。ハードマスクは、キャパシタ Q_1 のパターン形成後に除去される。

【 0 1 1 1 】

次に、エッチングにより受けたダメージから強誘電体層 5 5 の質を回復させるために、回復アニールを行う。この場合の回復アニールは、例えば、基板温度 6

50℃、60分間の条件で酸素を含むファーンネス内で行われる。

【0112】

また、回復アニールとしては、第1実施形態で示したように、基板温度を300～450℃にして酸素雰囲気中で第1層間絶縁層48及びキャパシタ Q_1 に向けて紫外線又はマイクロ波を照射して行ってもよい。このような条件によれば、第1、第2の導電プラグ50a、50cを構成するタングステンは比較的低温で加熱されているので酸化されにくくなり、導電プラグ50a、50cの異常酸化の発生が抑制される。

【0113】

次に、図11(c)に示す構造を形成するまでの工程を説明する。

【0114】

まず、エンキャップ層58として厚さ50nmのアルミナをスパッタによりキャパシタ Q_1 及び第1層間絶縁層48の上に形成する。このエンキャップ層58は、プロセスダメージからキャパシタ Q_1 を保護するものであって、アルミナのほか、PZTで構成してもよい。続いて、650℃で60分間の条件でエンキャップ層58及びキャパシタ Q_1 をファーンネス内の酸素雰囲気内でアニールする。

【0115】

その後、HDP(High Density Plasma)装置を用いて、プラズマCVD法により、第2層間絶縁層59として厚さ1.0 μ m程度の酸化シリコン(SiO_2)をエンキャップ層58上に形成する。

【0116】

さらに、第2層間絶縁層59の上面をCMP法により平坦化する。この例では、CMP後の第2層間絶縁層59の残りの厚さは、上部電極16a上で300nm程度とする。

【0117】

その後に、第2層間絶縁膜59、エンキャップ層58、第1層間絶縁層48及び酸化防止絶縁層47をパターニングして、第2のn型不純物拡散領域45bの上に第3のコンタクトホール48bを形成する。さらに、第3のコンタクトホール48b内にチタン、窒化チタン、タングステンの三層構造からなる第3の導電

プラグ 5 0 b を形成する。

【 0 1 1 8 】

次に、図 1 2 (a) に示す構造を形成するまでの工程を説明する。

【 0 1 1 9 】

まず、第 2 層間絶縁層 5 9 と第 3 の導電プラグ 5 0 b の上に、プラズマ C V D 法により SiO₂ 層を例えば約 1 0 0 n m の厚さに形成する。この SiO₂ 層は、シラン (SiH₄) と N₂O の混合ガスを用いて形成され、第 3 の導電プラグ 5 0 b の酸化を防止するための酸化防止層 6 0 として使用される。

【 0 1 2 0 】

さらに、フォトリソグラフィ法によりエンキャップ層 5 8 と第 2 層間絶縁層 5 9 と酸化防止層 6 0 をパターニングして、キャパシタ Q₁ の上部電極 5 6 a 上に一辺が 0 . 3 5 ~ 0 . 5 0 μ m の略四角の平面形状のコンタクトホール 5 9 a を形成する。

【 0 1 2 1 】

続いて、第 1 実施形態で示した方法により、コンタクトホール 5 9 a を通して例えば 3 0 分間、紫外線又はマイクロ波が照射された酸素をキャパシタ Q₁ に供給しながら、基板温度を 3 0 0 ~ 4 5 0 °C、例えば 3 5 0 °C で加熱して、誘電体層 5 5 a の質を改善させる。この場合、第 3 の導電プラグ 5 0 b は酸化防止層 6 0 によって酸化が防止される。

【 0 1 2 2 】

その後に、CF系のガスを用いて酸化防止層 6 0 をエッチバックする。

【 0 1 2 3 】

次に、第 2 層間絶縁層 5 9 、第 3 の導電プラグ 5 0 b の上と、上部電極 1 4 a 上のコンタクトホール 5 9 a の中に導電層をスパッタ法により形成する。導電層として、例えば、窒化チタン層、銅含有アルミニウム層、チタン層、窒化チタン層を順に形成した多層金属構造を採用する。銅含有アルミニウム層での銅の含有量は例えば 0 . 5 atoms% とする。

【 0 1 2 4 】

続いて、図 1 2 (b) に示すように、導電層をフォトリソグラフィ法によりパ

ターニングすることにより、キャパシタ Q_1 の上部電極14aに電氣的に接続する配線62aを形成する。これと同時に、第2のn型不純物拡散領域45bの上に形成された第3の導電プラグ50bの上には導電パッド62bが形成される。

【0125】

この後に、第3層間絶縁層、二層目の導電プラグ、ビット線、カバー層などを形成するが、その詳細は省略する。

【0126】

以上のようなメモリセルの形成工程において、キャパシタ Q_1 の上部電極56a上にコンタクトホール59aを形成した後の酸素アニールを、紫外線又はマイクロ波を酸素に照射しながら基板温度を300～450℃の低温とした条件で行っている。従って、第1実施形態と同様に、コンタクトホール59aの寸法が小さくなくてもコンタクトホール59aを通してキャパシタ Q_1 への酸素の浸透を促進させてキャパシタ特性を容易に回復できるばかりでなく、比較的低温で酸素アニールが行われるので、導電プラグ50a～50cを構成するタングステンの異常酸化が防止又は抑制される。

【0127】

なお、酸素アニールの際に、 O_2 とともに又は O_2 の代わりに、 N_2O と NO_2 のいずれかを用いてもよい。

(付記1) 半導体基板の上方に第1絶縁層を形成する工程と、

前記第1絶縁層上方に第1の導電層、酸化物誘電体層、第2の導電層に形成する工程と、

前記第2の導電層、前記酸化物誘電体層、前記第1の導電層をパターニングすることにより、前記第2の導電層からなる上部電極、前記酸化物誘電体層からなる誘電体層、第1の導電層からなる下部電極を有するキャパシタを形成する工程と、

前記キャパシタ及び前記第1絶縁層の上方に第2絶縁層を形成する工程と、

前記第2絶縁層のうち前記上部電極の上にホールを形成する工程と、

前記半導体基板を加熱した状態で、活性化された酸素を前記ホールを通して前記キャパシタに供給する工程と活性化された酸素を前記ホールを通して前記キャ

パシタに供給する工程と

を有することを特徴とする半導体装置の製造方法。

（付記 2）前記酸素は、紫外線とマイクロ波のいずれかが照射されて活性化されることを特徴とする付記 1 に記載の半導体装置の製造方法。

（付記 3）前記半導体基板の加熱は、前記紫外線と前記マイクロ波のいずれかだけでなくヒーターによっても行われることを特徴とする付記 2 に記載の半導体装置の製造方法。

（付記 4）前記ヒーターは、前記半導体基板の上方に配置される赤外線ランプと前記半導体基板の下方に配置される加熱器の少なくとも一方であることを特徴とする付記 3 に記載の半導体装置の製造方法。

（付記 5）前記紫外線の照射によって活性化された酸素は、酸素ラジカルであることを特徴とする付記 2 に記載の半導体装置の製造方法。

（付記 6）前記キャパシタに酸素を供給するときに、前記半導体基板を加熱する温度は 3 0 0 ～ 4 5 0 ℃ の範囲内であることを特徴とする付記 1 乃至付記 5 のいずれかに記載の半導体装置の製造方法。

（付記 7）前記紫外線は、1 7 2 . 5 n m に波長のピークを有するエキシマ UV ランプから放射されることを特徴とする付記 2 乃至付記 5 のいずれかに記載の半導体装置の製造方法。

（付記 8）前記紫外線は、1 8 7 . 5 n m と 2 2 5 . 0 n m に波長のピークを有する紫外線ランプから照射されることを特徴とする付記 2 乃至付記 5 のいずれかに記載の半導体装置の製造方法。

（付記 9）前記マイクロ波は、マイクロ波電源に接続された導電性コイルから照射されることを特徴とする付記 2 乃至付記 5 のいずれかに記載の半導体装置の製造方法。

（付記 1 0）前記酸素は、前記半導体基板が置かれる減圧雰囲気内に導入されて前記マイクロ波が照射されることを特徴とする付記 2 乃至付記 5、付記 9 のいずれかに記載の半導体装置の製造方法。

（付記 1 1）前記酸素は前記第 2 絶縁層の上方に不活性ガスとともに導入されることを特徴とする付記 1 乃至付記 1 0 のいずれかに記載の半導体装置の製造方法

。

（付記 1 2）前記第 2 の導電層は、イリジウムと酸化イリジウムの少なくとも一方から構成されていることを特徴とする付記 1 乃至付記 1 1 のいずれかに記載の半導体装置の製造方法。

（付記 1 3）前記酸化物誘電体層は、強誘電体層であることを特徴とする付記 1 乃至付記 1 2 のいずれかに記載の半導体装置の製造方法。

（付記 1 4）前記酸素を前記キャパシタに供給した後に、前記ホールを通して前記上部電極に接続される上部電極用配線を前記第 2 絶縁層の上に形成する工程をさらに有することを特徴とする付記 1 乃至付記 1 3 のいずれかに記載の半導体装置の製造方法。

（付記 1 5）前記第 2 絶縁層をパターニングすることにより前記下部電極のうち前記上部電極からはみ出した領域の上面の上にコンタクトホールを形成する工程と、

前記コンタクトホールを通して前記上部電極に電氣的に接続される下部電極引出配線を前記第 2 絶縁層上に形成する工程と

をさらに有することを特徴とする付記 1 乃至付記 1 4 のいずれかに記載の半導体装置の製造方法。

（付記 1 6）前記コンタクトホール内に導電プラグを形成する工程をさらに有することを特徴とする付記 1 5 に記載の半導体装置の製造方法。

（付記 1 7）前記第 1 絶縁層上に前記第 1 の導電層を形成する前に、前記下部電極の下面に接続される導電プラグを前記第 1 絶縁層内に形成する工程をさらに有することを特徴とする付記 1 乃至付記 1 4 のいずれかに記載の半導体装置の製造方法。

【 0 1 2 8 】

【発明の効果】

以上述べたように本発明によれば、半導体基板を加熱しながら、活性化された酸素をホールを通してキャパシタに供給するようにしたので、ホールを通して酸素をキャパシタに浸透しやすく且つ結合しやすることができる。従って、キャパシタの酸化物誘電体層への十分な酸素供給が可能になり、ホールが小さくなって

も酸素アニールによるキャパシタの特性の回復を十分に図ることができる。

【図面の簡単な説明】

【図 1】

図 1 (a) ～(c) は、従来の強誘電体キャパシタの形成工程断面図である。

【図 2】

図 2 (a) ～(c) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 1）である。

【図 3】

図 3 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 2）である。

【図 4】

図 4 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 3）である。

【図 5】

図 5 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 4）である。

【図 6】

図 6 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 5）である。

【図 7】

図 7 (a), (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図（その 6）である。

【図 8】

図 8 は、本発明の実施形態に用いられる R T A アニール装置の構成図である。

【図 9】

図 9 は、本発明の実施形態に用いられるマイクロ波キュア装置の構成図である。

【図 1 0】

図 1 0 は、本発明の実施形態の酸素アニールと従来技術の酸素アニールによる

キャパシタの特性改善効果を示す図である。

【図 1 1】

図 1 1 (a) ～(c) は、本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図（その 1）である。

【図 1 2】

図 1 2 (a), (b) は、本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図（その 2）である。

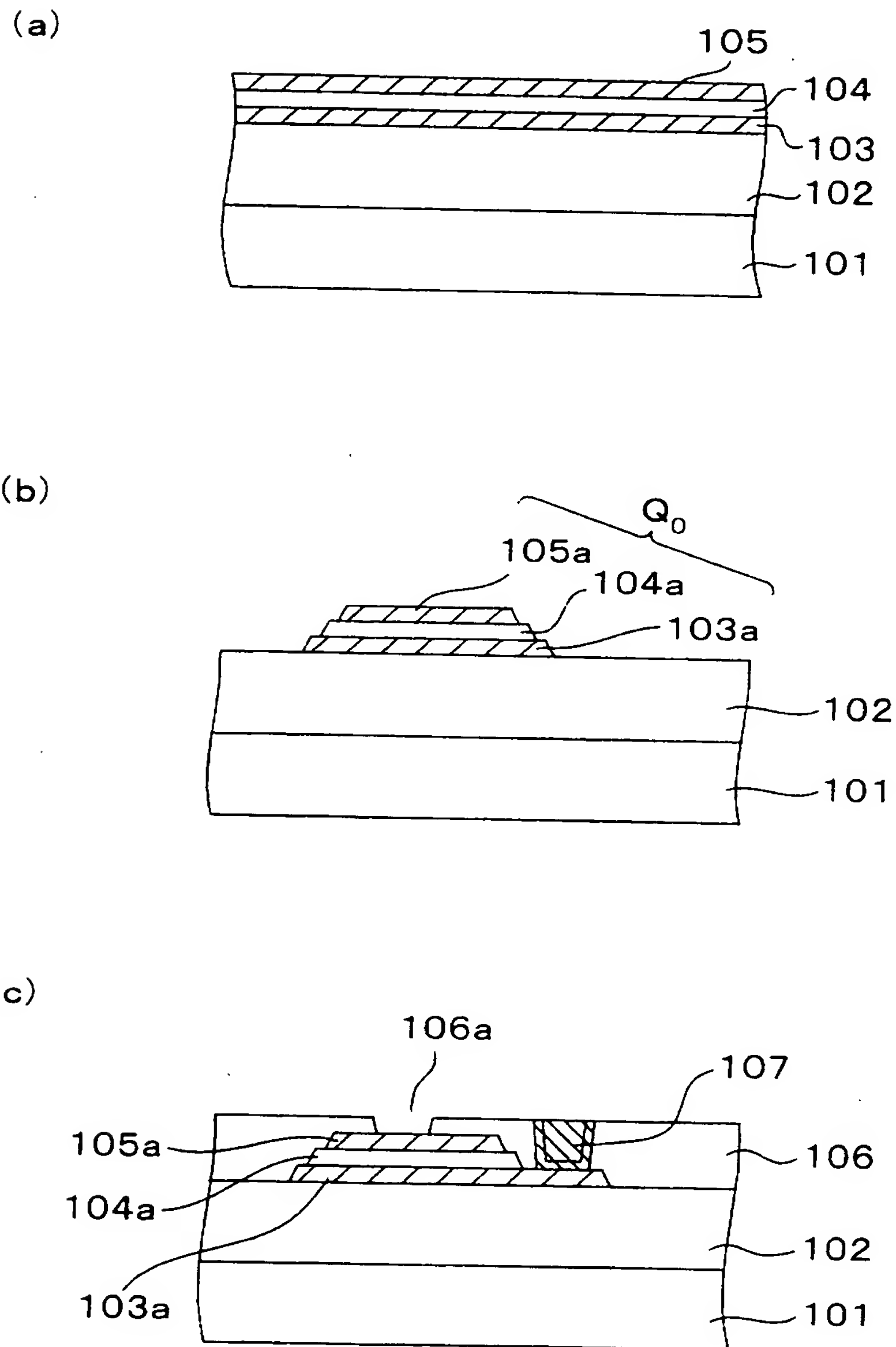
【符号の説明】

1 …シリコン基板、2 …素子分離絶縁層、3 …p ウェル、4 …ゲート絶縁層、5 a, 5 b …ゲート電極、6 a ～6 c …n 型不純物拡散領域、7 …側壁絶縁層、8 a ～8 c …高融点金属シリサイド層、9 …酸化防止絶縁層、1 0, 1 7 …層間絶縁層、1 2, 1 4 …導電層、1 2 a …下部電極、1 4 a …上部電極、1 3 …強誘電体層、1 3 a …誘電体層、1 5 …エンキャップ層、1 6 …レジスト、1 7 a ～1 7 e …コンタクトホール、1 8 a ～1 8 d …導電プラグ、1 9 …酸化防止層、2 0 a, 2 0 d …配線、2 0 b …導電パッド、2 1 …チャンバ、2 2 …サセプタ、2 3 …ヒータ、2 4 …赤外線ランプ、2 5 …UV ランプ、2 6 …ガス導入口、2 7 …排気口、3 1 …真空チャンバ、3 2 …サセプタ、3 3 …ヒータ、3 4 …導電性コイル、3 5 …ガス導入口、3 6 …排気口、4 1 …シリコン基板、4 2 …素子分離絶縁層、4 1 a …p ウェル、4 3 …ゲート絶縁層、4 4 a, 4 4 b …ゲート電極、4 5 a ～4 5 c …n 型不純物拡散領域、4 6 …側壁絶縁層、4 7 …酸化防止絶縁層、4 8, 5 9 …層間絶縁層、4 8 a ～4 8 c …コンタクトホール、5 4, 5 6 …導電層、5 4 a …下部電極、5 6 a …上部電極、5 5 …強誘電体層、5 5 a …誘電体層、5 8 …エンキャップ層、5 0 a ～5 0 c …導電プラグ、6 0 …酸化防止層、6 2 a …配線、6 2 b …導電パッド。

【書類名】 図面

【図 1】

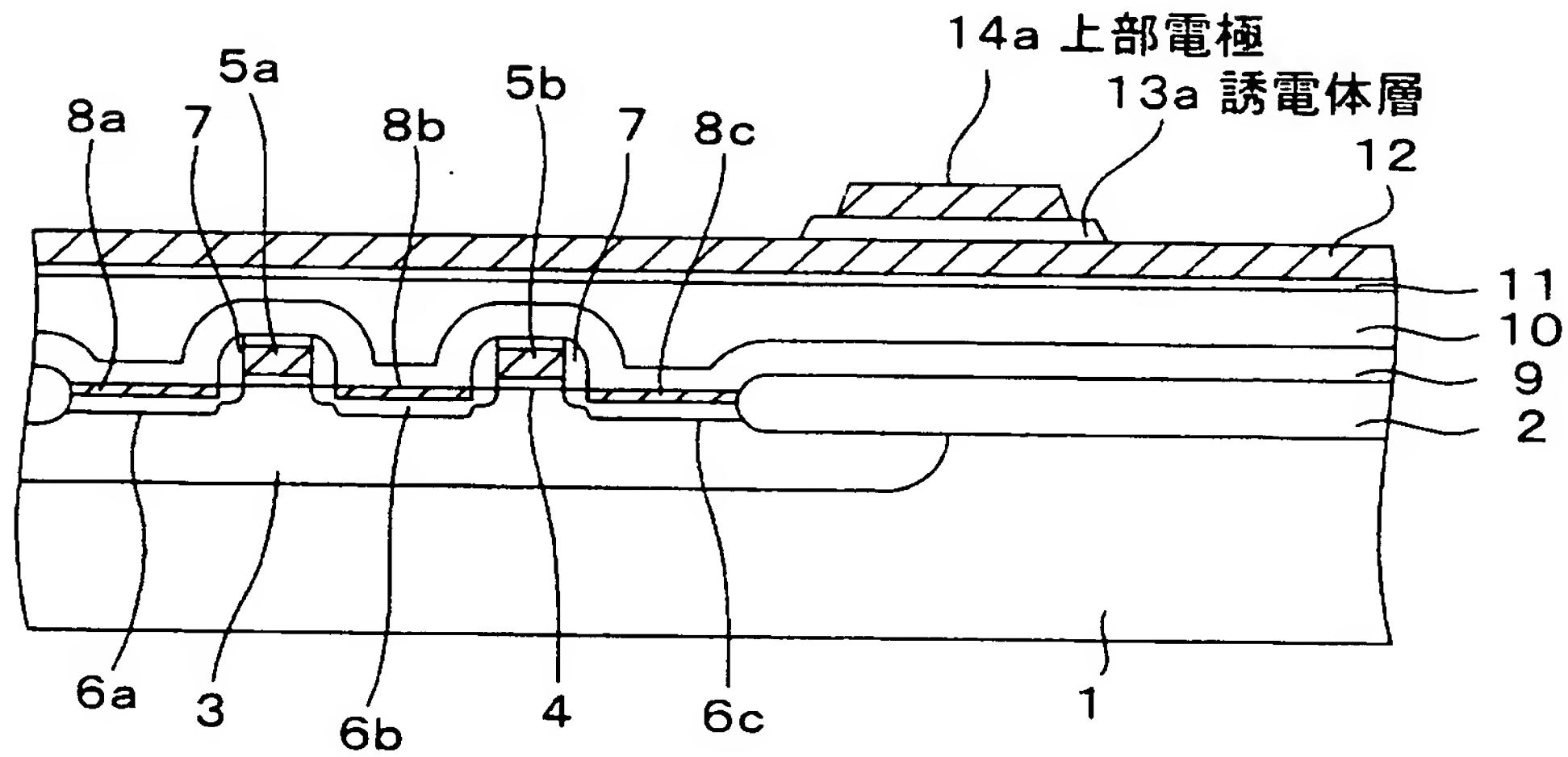
従来の強誘電体キャパシタの
形成工程断面図



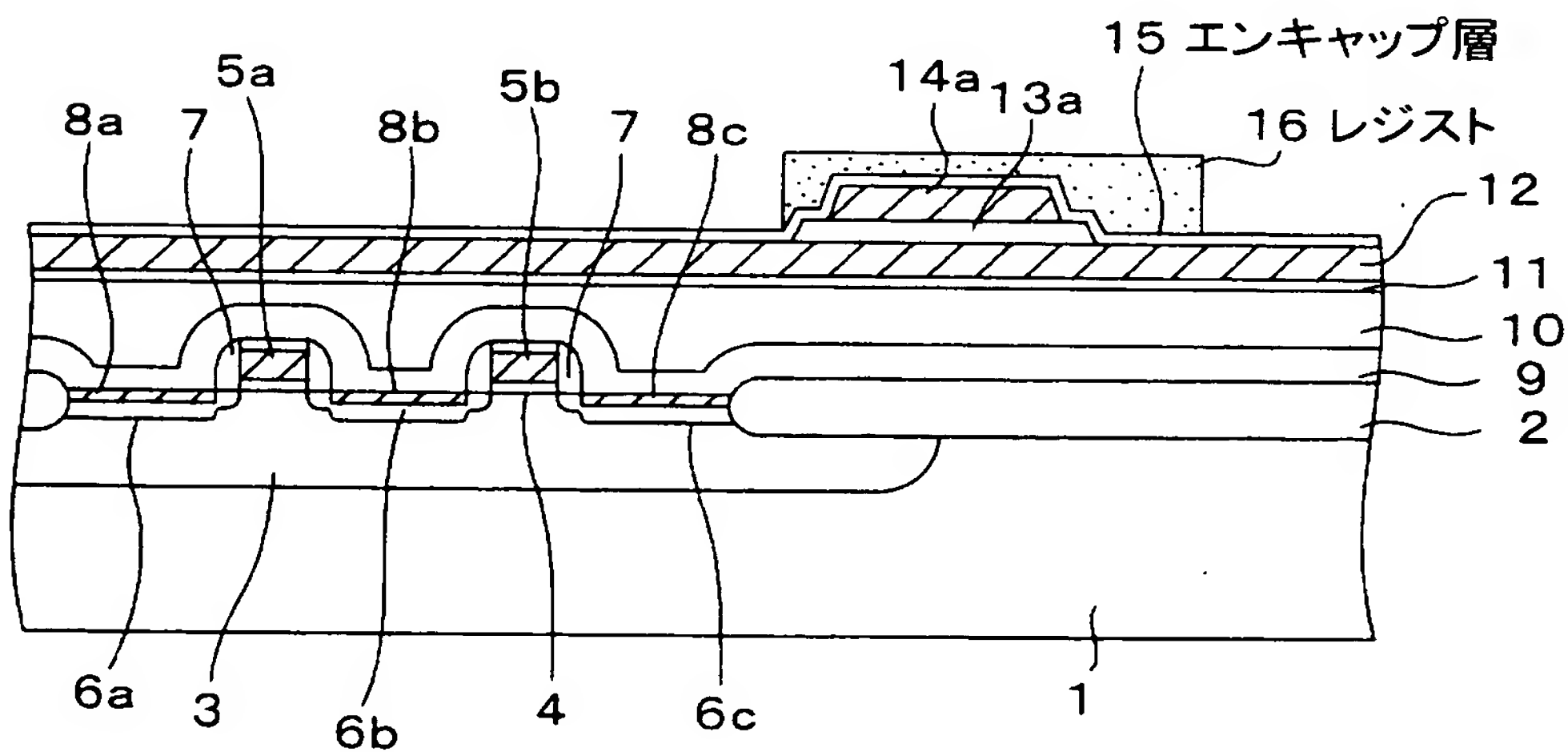
【図 3】

本発明の第1実施形態に係る半導体装置の
製造工程を示す断面図(その2)

(a)



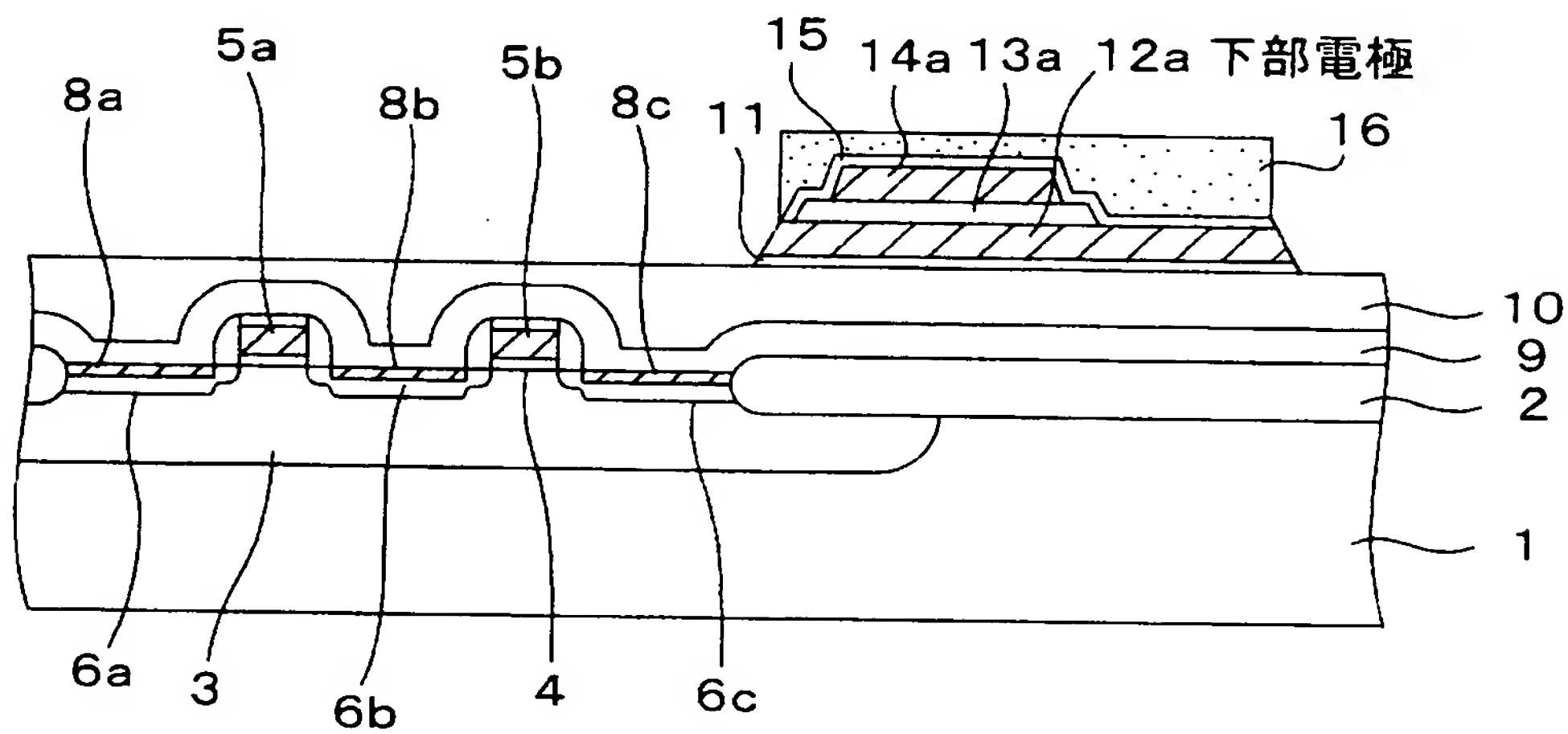
(b)



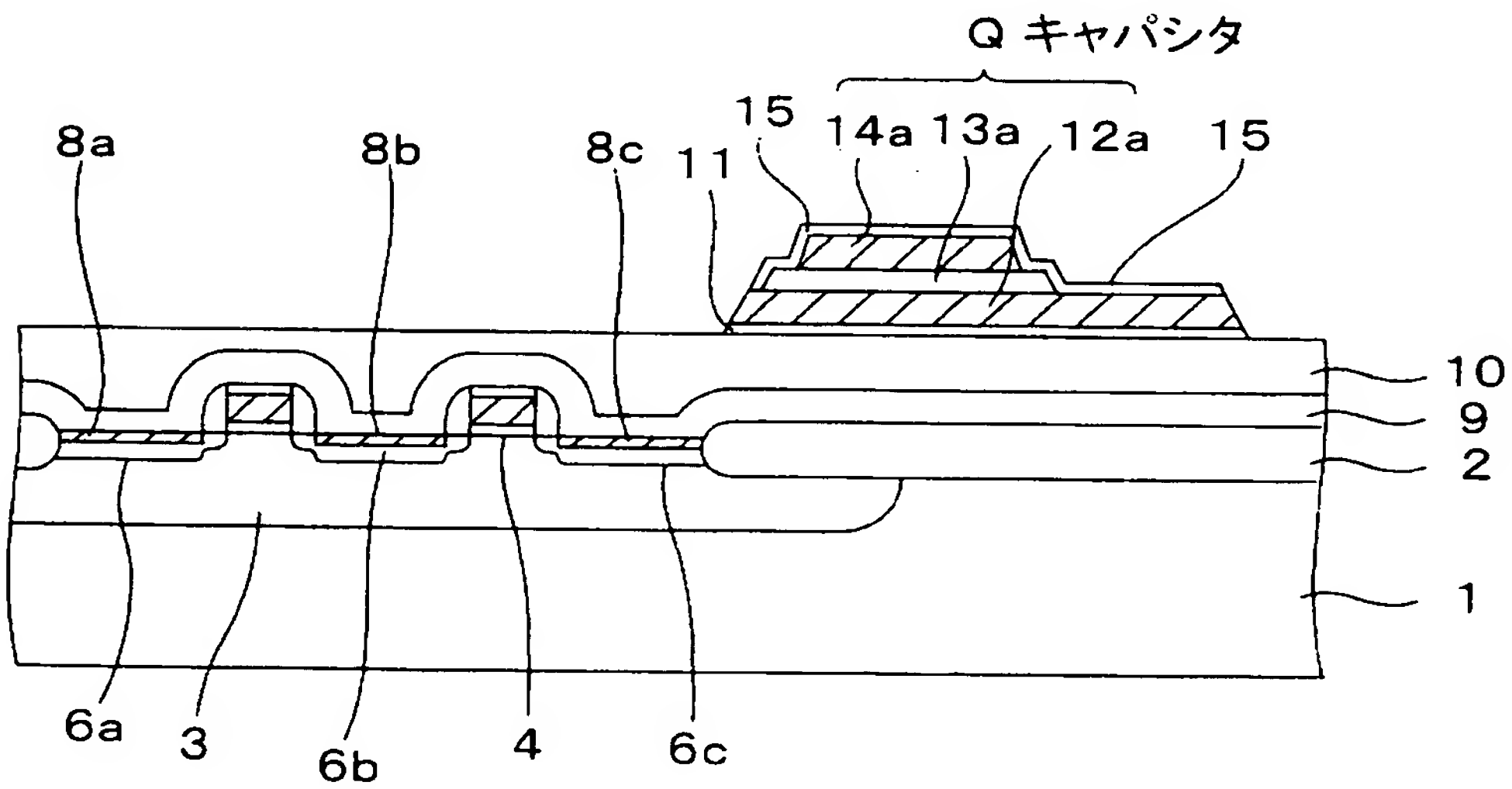
【図 4】

本発明の第1実施形態に係る半導体装置の
製造工程を示す断面図(その3)

(a)



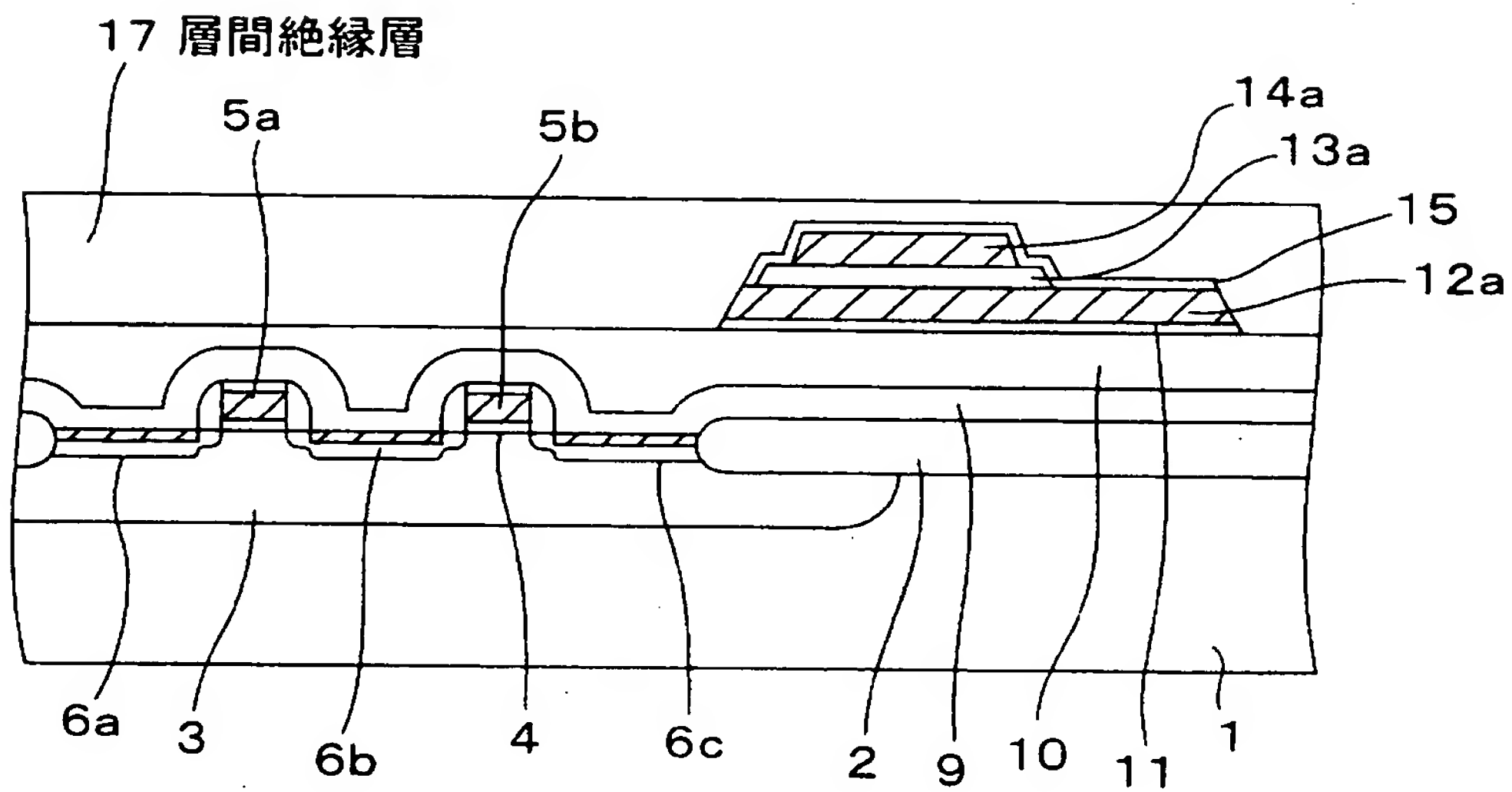
(b)



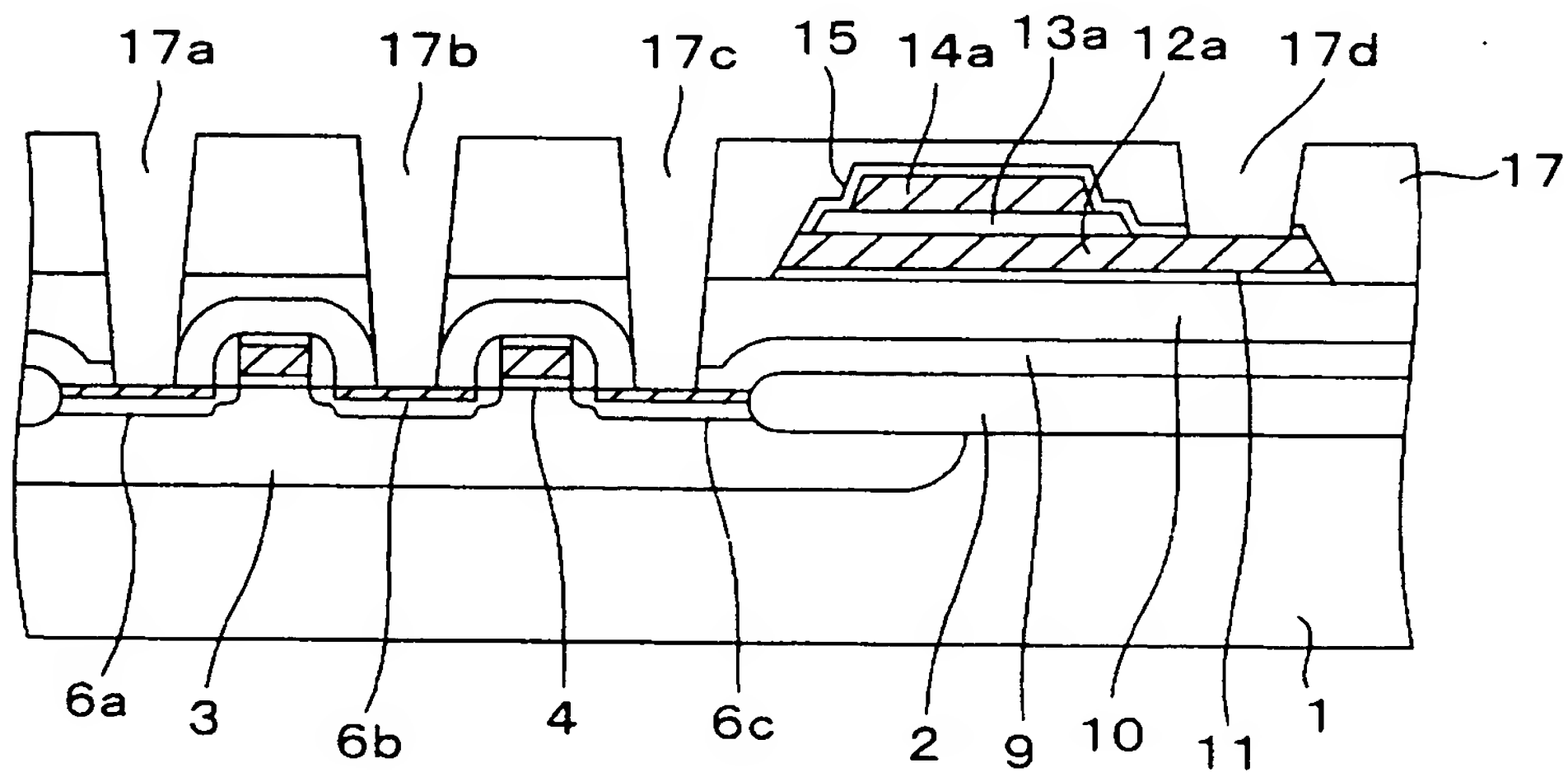
【図 5】

本発明の第1実施形態に係る半導体装置の
製造工程を示す断面図(その4)

(a)



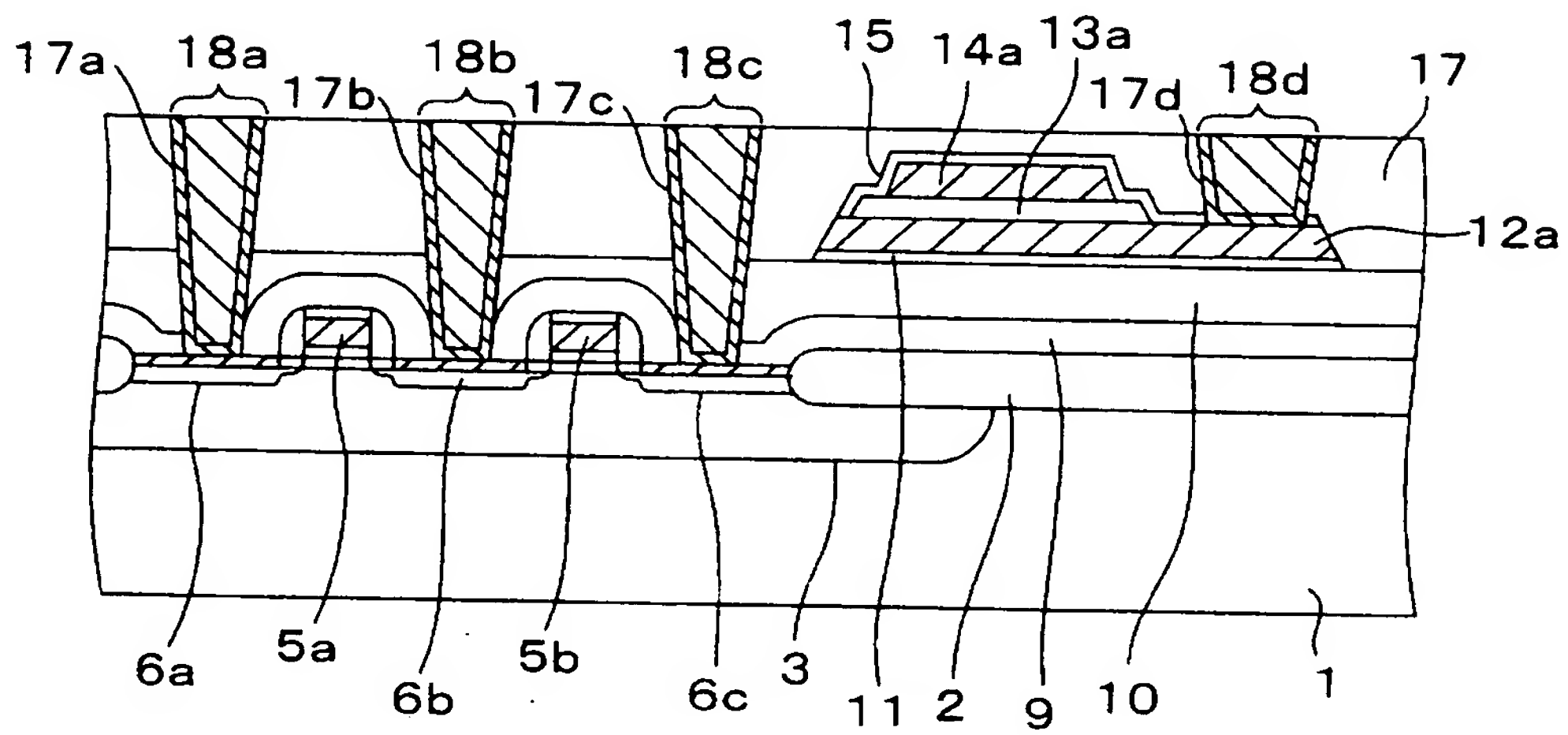
(b)



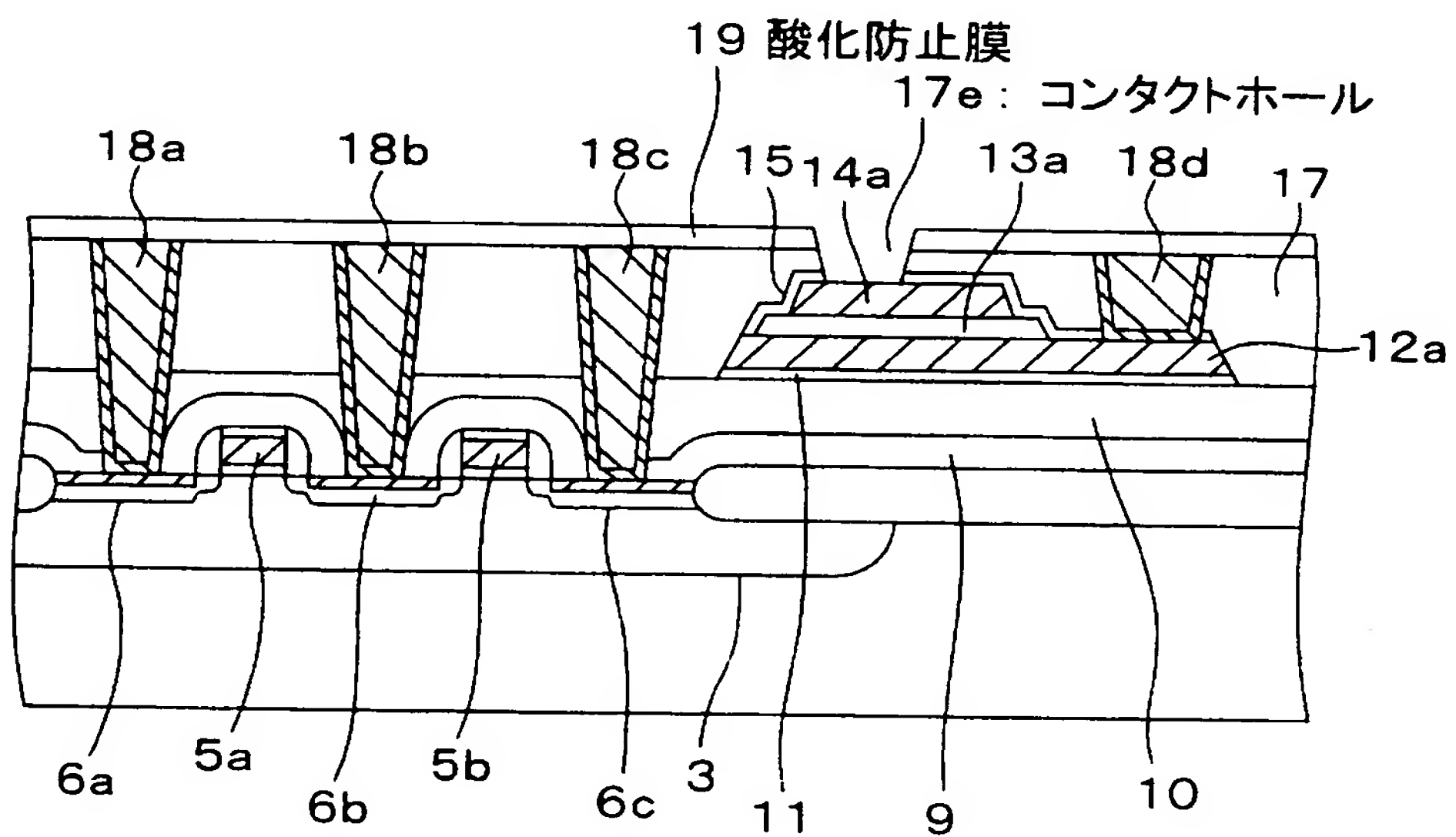
【图 6】

本発明の第1実施形態に係る半導体装置の
製造工程を示す断面図(その5)

(a)



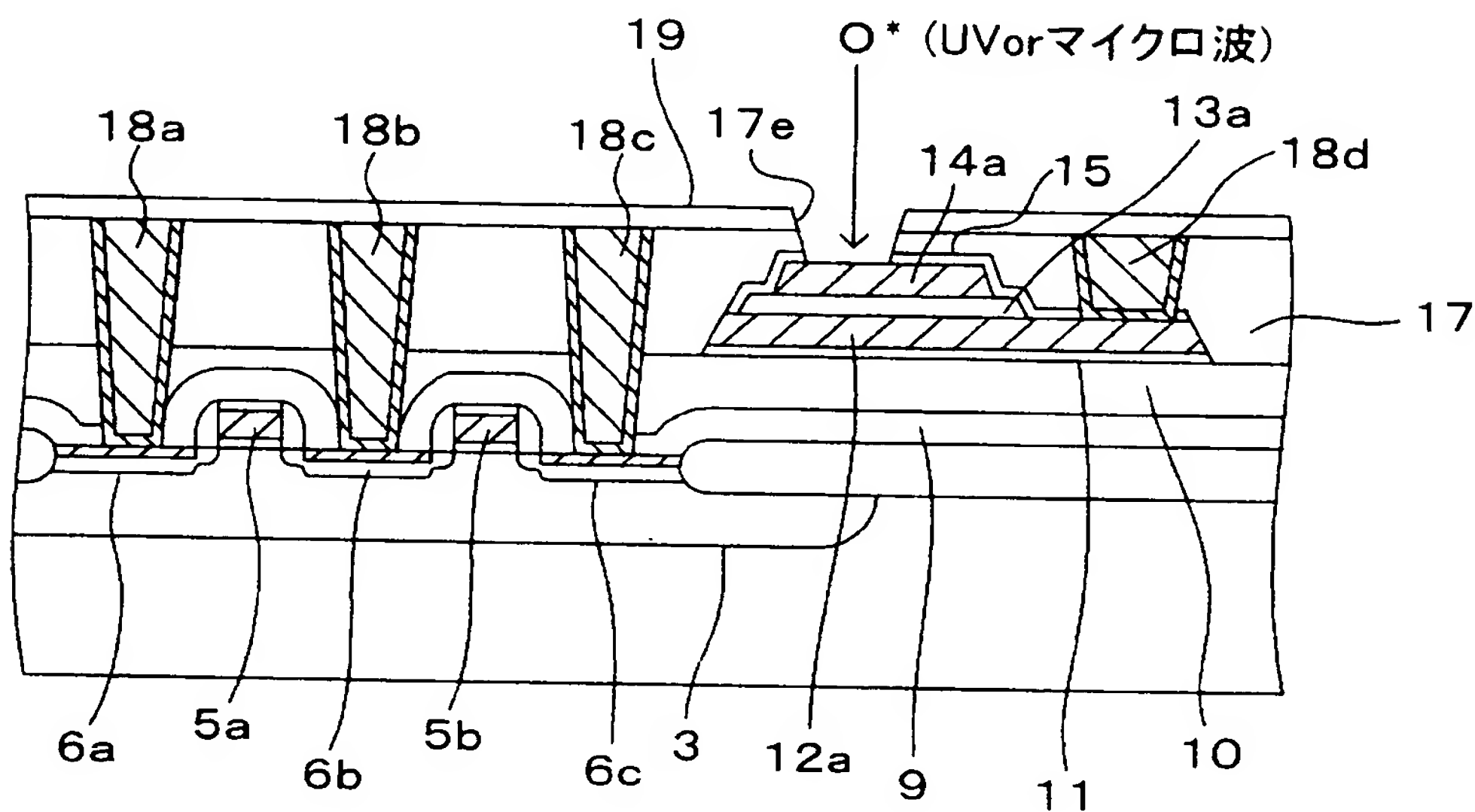
(b)



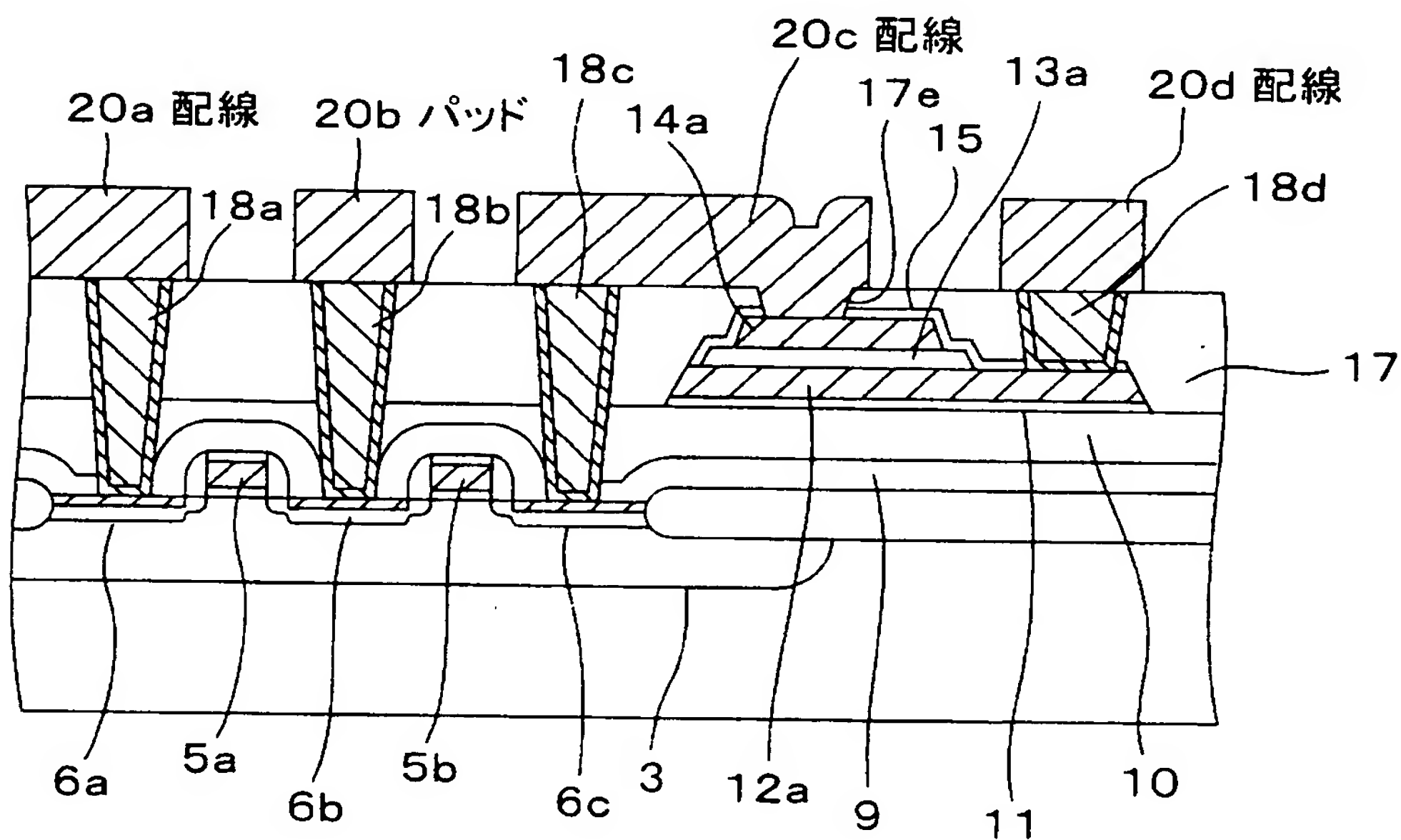
【図 7】

本発明の第1実施形態に係る半導体装置の
製造工程を示す断面図(その6)

(a)

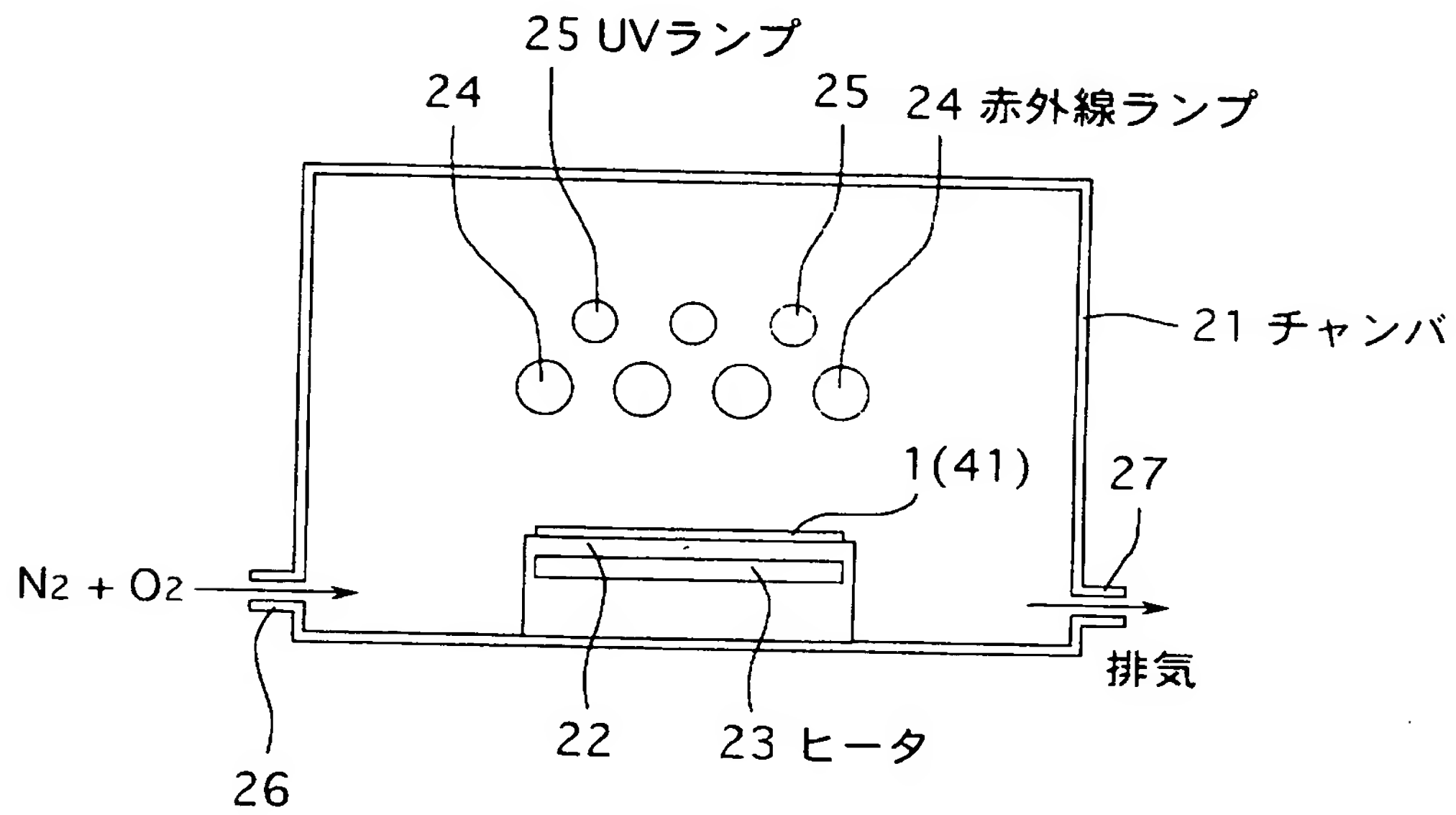


(b)



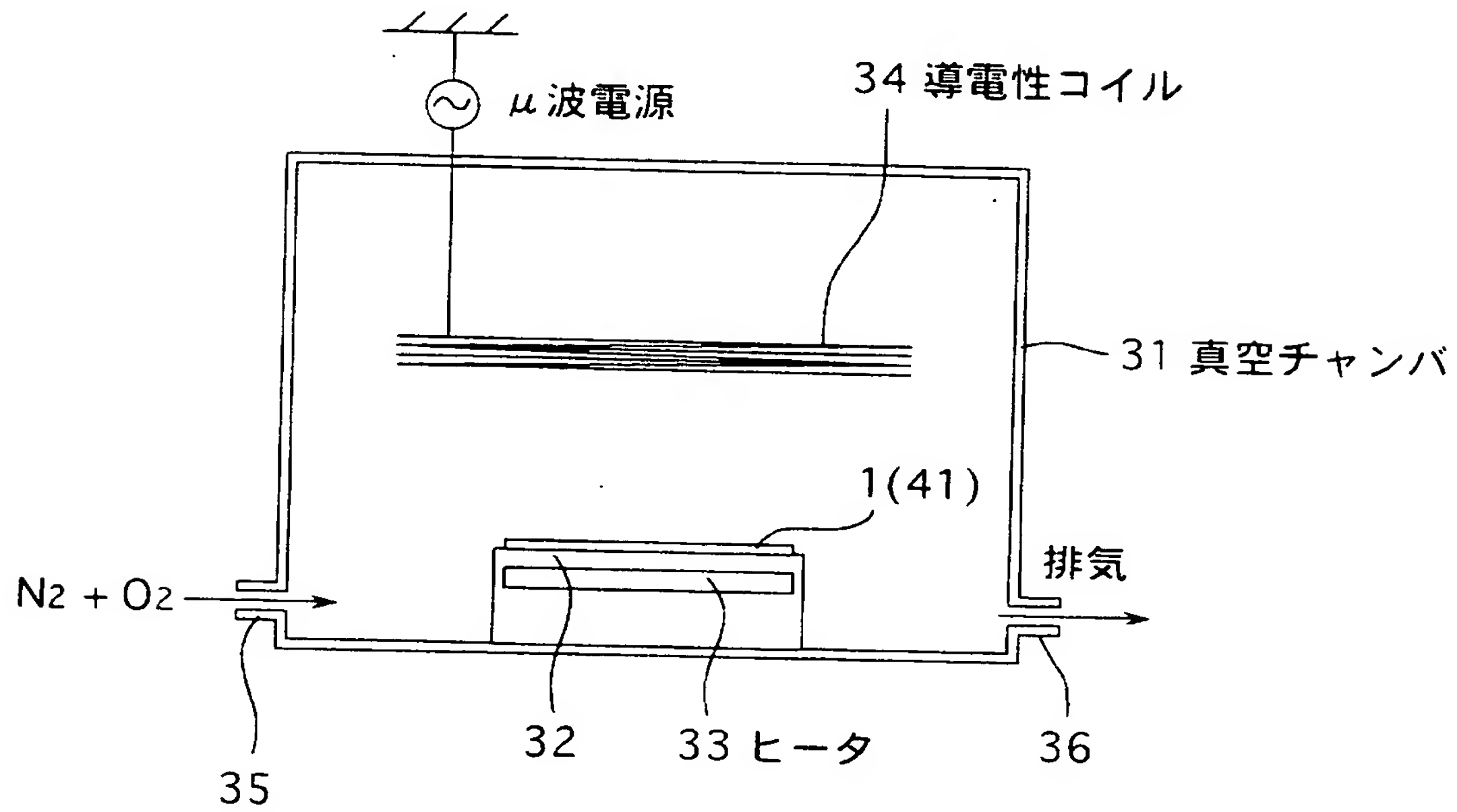
【図 8】

本発明の実施形態に用いられる
RTAアニール装置の構成図



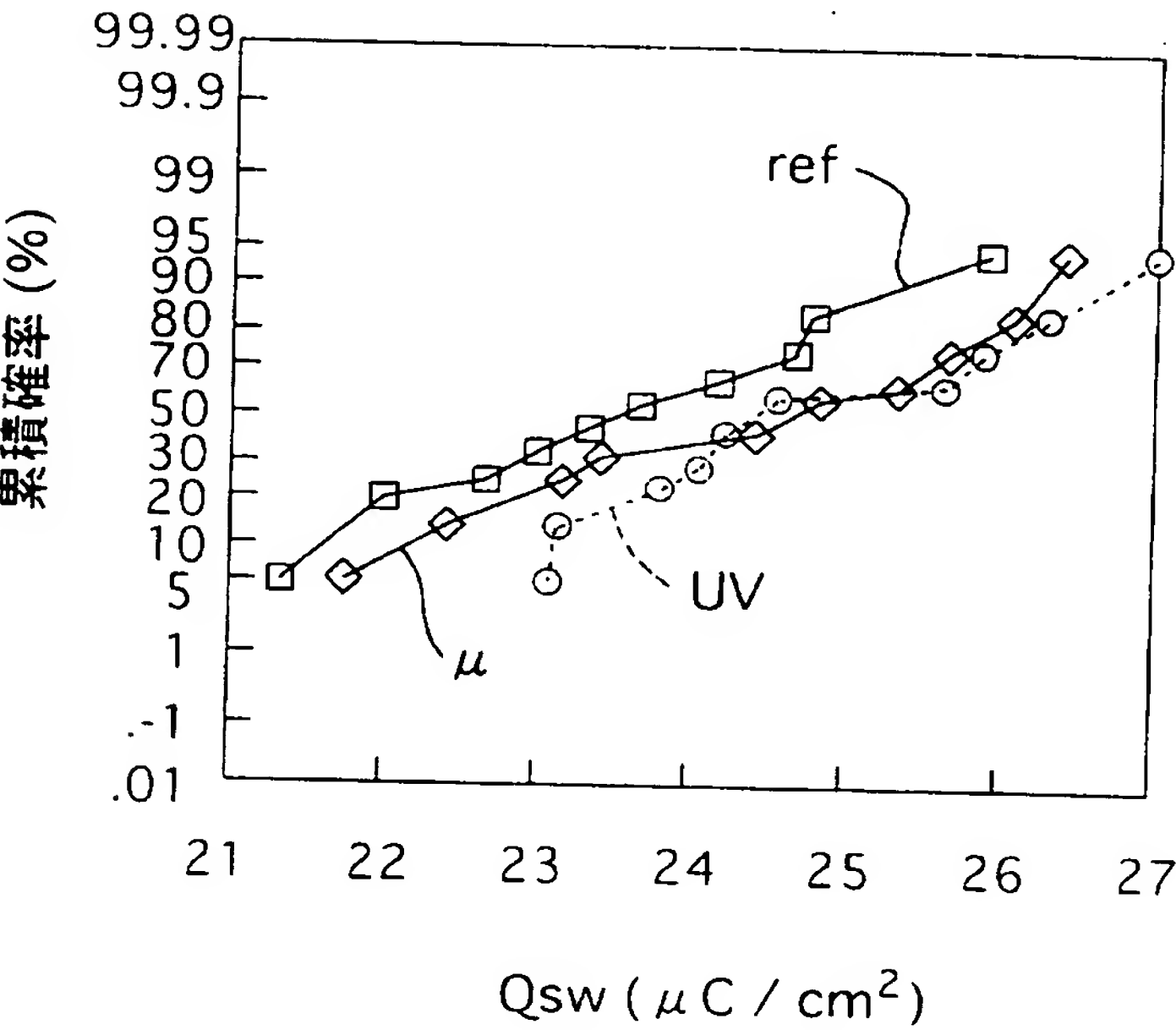
【図 9】

本発明の実施形態に用いられる
マイクロ波キュア装置の構成図



【図 1 0】

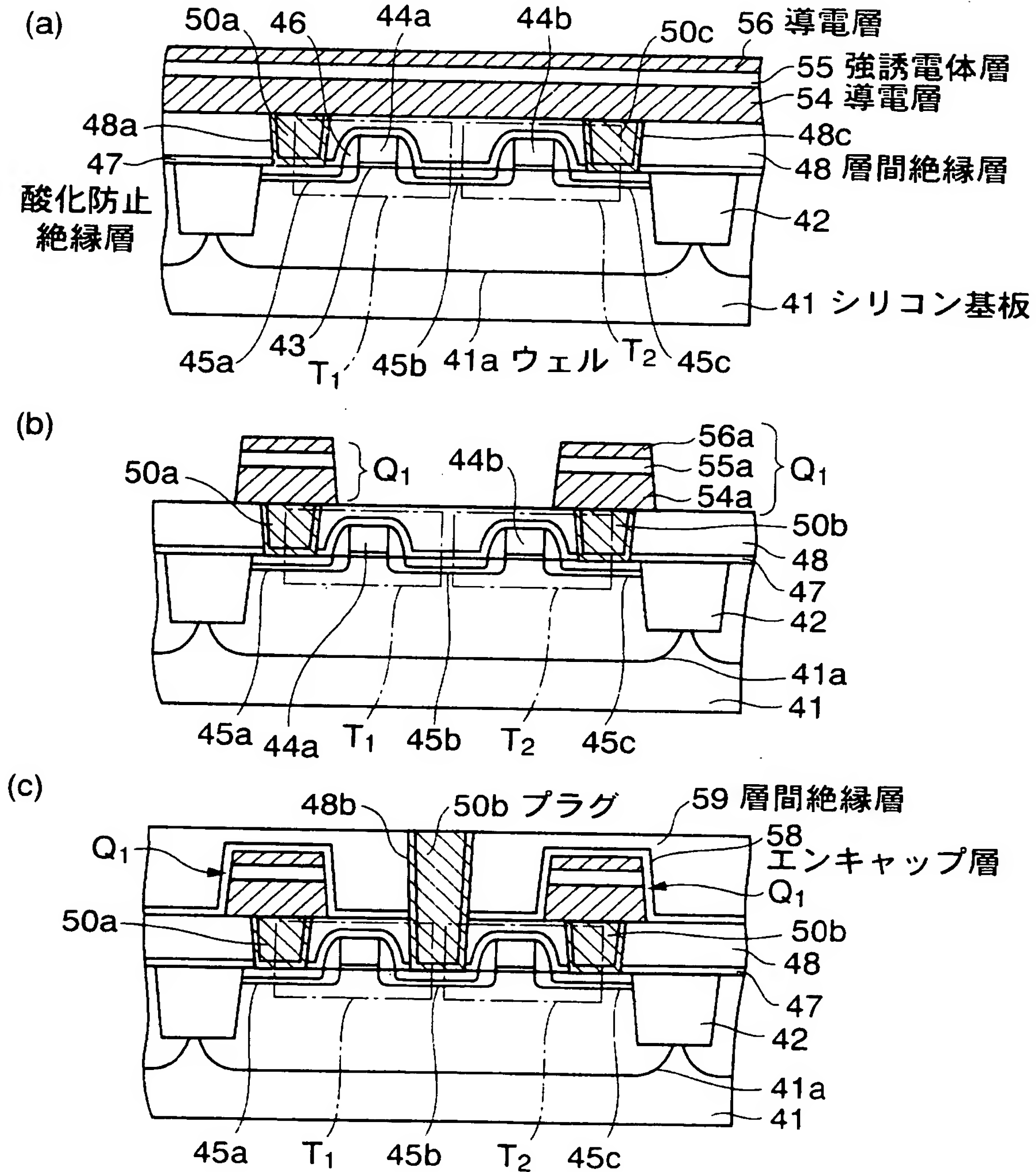
本発明の実施形態の酸素アニールと
従来技術の酸素アニールによる
キャパシタの特性改善効果



【図 1 1】

本発明の第 2 実施形態に係る半導体装置の
製造工程を示す断面図（その 1）

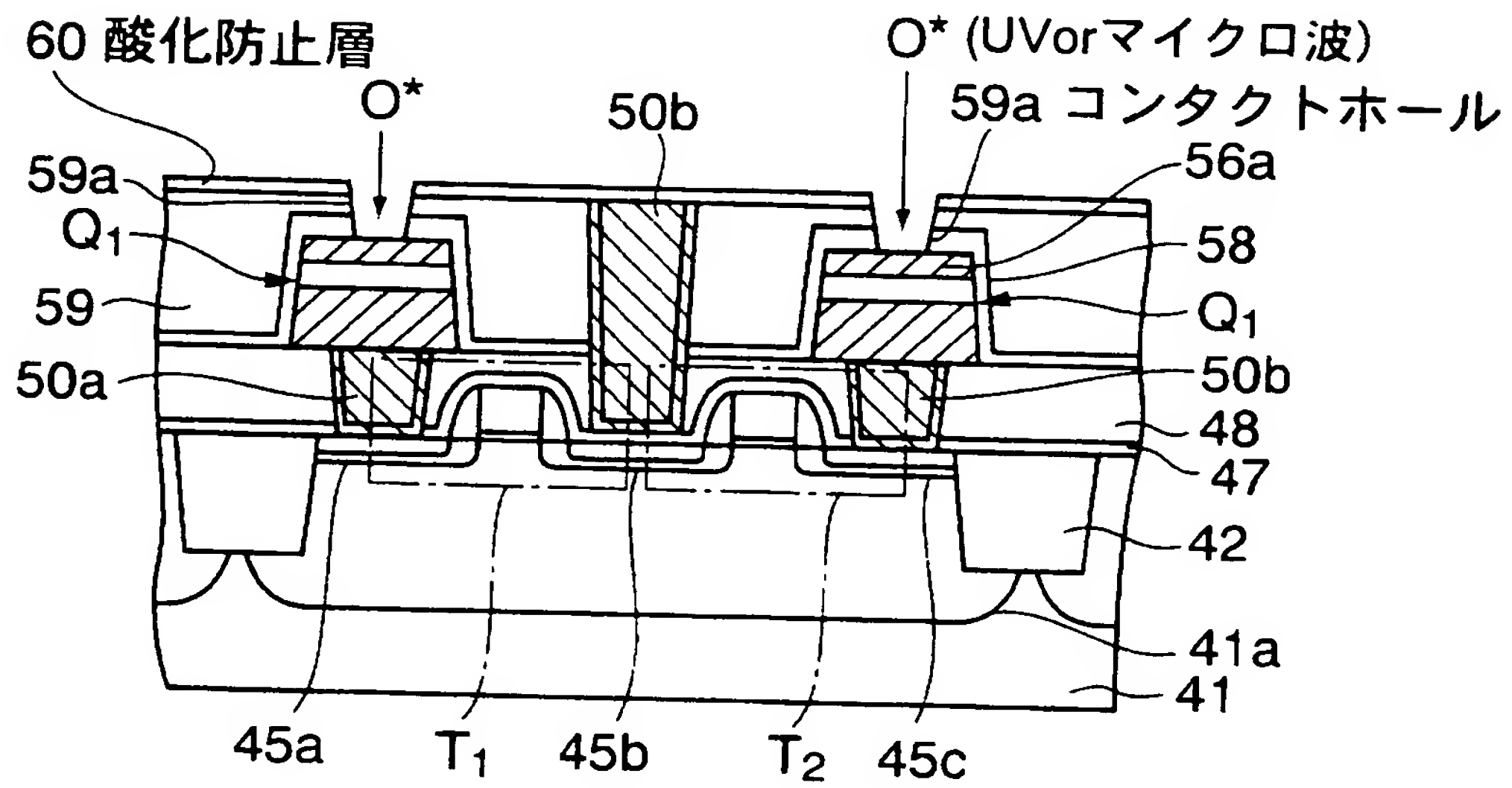
50a, 50c : 導電性プラグ



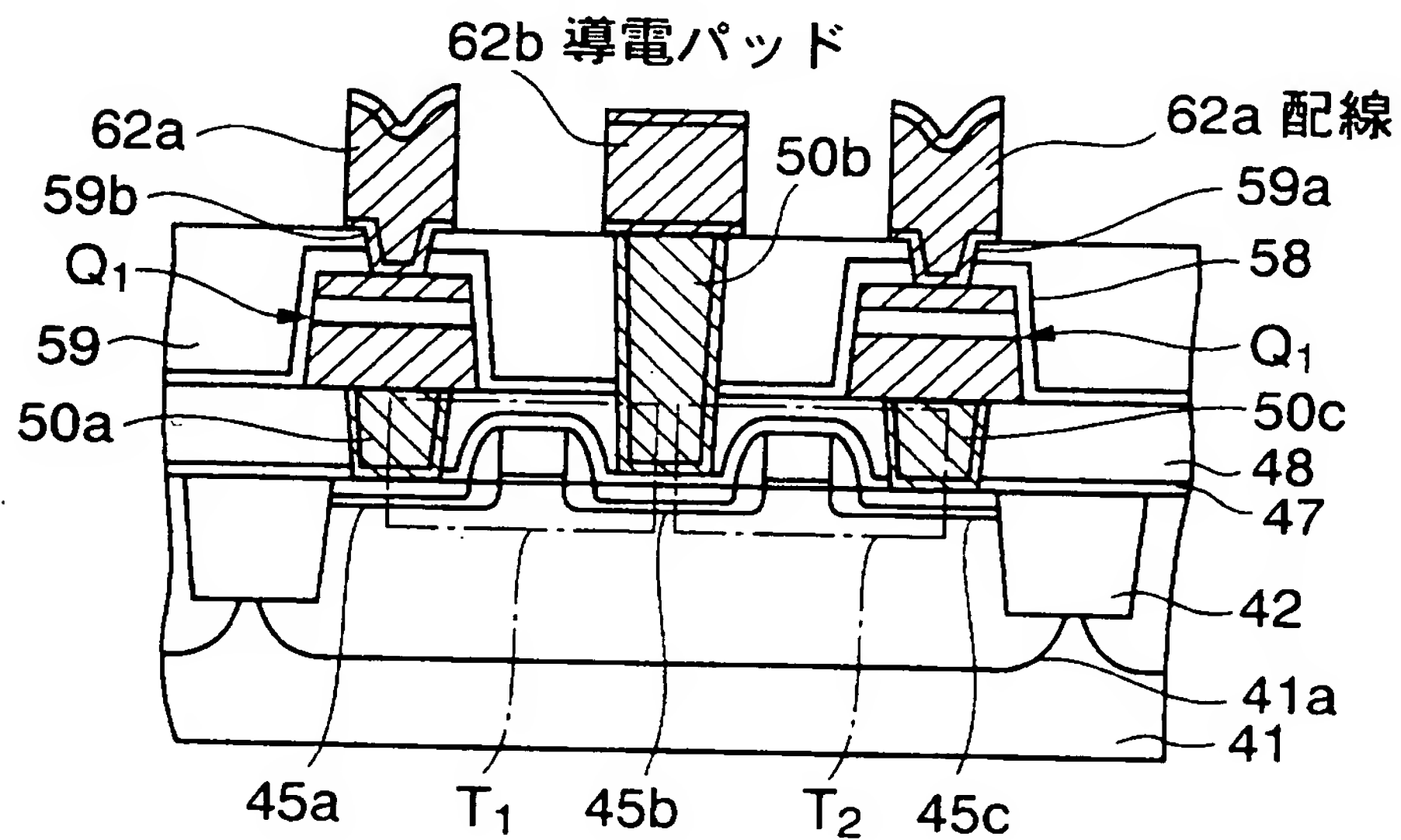
【図 1 2】

本発明の第 2 実施形態に係る半導体装置の
製造工程を示す断面図（その 2）

(a)



(b)



【書類名】 要約書

【要約】

【課題】 キャパシタを有する半導体装置の製造方法に関し、酸化誘電体層を有するキャパシタの特性をさらに改善すること。

【解決手段】 半導体基板 1 上の第 1 絶縁層 1 0 の上方に第 1 の導電層 1 2、酸化物誘電体層 1 3、第 2 の導電層 1 4 を順に形成する工程と、第 2 の導電層 1 4、酸化物誘電体層 1 3、第 1 の導電層 1 2 をパターニングすることにより上部電極 1 4 a、誘電体層 1 3 a、下部電極 1 2 a を有するキャパシタ Q を形成する工程と、キャパシタ Q 及び第 1 絶縁層 1 0 の上方に第 2 絶縁層 1 7 を形成する工程と、第 2 絶縁層 1 7 のうち上部電極 1 4 a の上にホール 1 7 e を形成する工程と、半導体基板 1 を加熱した状態で、活性化された酸素をホール 1 7 e を通してキャパシタ Q に供給する工程とを含む。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社